

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-208274

(P 2002-208274 A)

(43) 公開日 平成14年7月26日 (2002. 7. 26)

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
G 1 1 C	11/406	G 1 1 C 11/34	3 6 3 A 5M024
	11/407		3 5 3 F
	11/409		3 6 2 S

審査請求 未請求 請求項の数 1 1 O L (全 3 3 頁)

(21) 出願番号 特願2001-297009 (P2001-297009)

(22) 出願日 平成13年9月27日 (2001. 9. 27)

(31) 優先権主張番号 特願2000-343781 (P2000-343781)

(32) 優先日 平成12年11月10日 (2000. 11. 10)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 矢幡 秀治
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 堀口 真志
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(74) 代理人 100081938
弁理士 徳若 光政

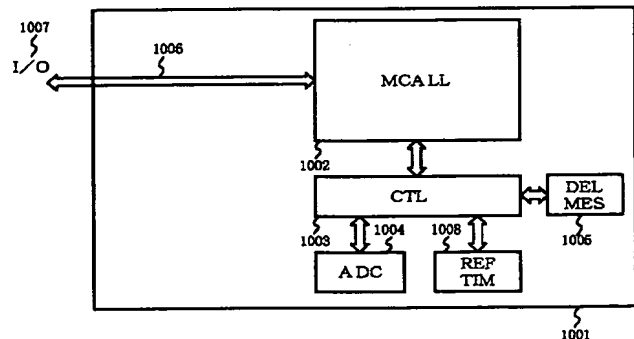
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 使い勝手を良くしつつ高速なサイクル時間を実現した半導体記憶装置を提供する。

【解決手段】 周期的に記憶情報の保持のためのリフレッシュ動作を必要とするメモリセルに対して記憶情報の読み出しあるいは書き込みを行う第1のメモリ動作と、上記第1のメモリ動作と異なるアドレス指定による第2のメモリ動作又はリフレッシュ動作とが時間的に競合したとき、かかる第1のメモリ動作の前又は後に第2のメモリ動作又はリフレッシュ動作を実施するタイムマルチモードを設け、上記第1のメモリ動作とその前又は後に実施される第2のメモリ動作又はリフレッシュ動作とに要する最短アクセス時間を上記第1のメモリ動作と第2のメモリ動作又はリフレッシュ動作においてメモリセルの記憶情報が互いに影響を受けないことを条件として、上記第1のメモリ動作に要する時間と上記第2のメモリ動作又は上記リフレッシュ動作に要する時間を加算した時間よりも短くする。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 周期的に記憶情報の保持のためのリフレッシュ動作を必要とするメモリセルを含み、前記メモリセルに対して記憶情報の読み出しあるいは書き込みを行う第 1 のメモリ動作が指示されたとき、かかる第 1 のメモリ動作の前又は後に異なるアドレス指定による第 2 のメモリ動作又は自律的にリフレッシュ動作を実施するタイムマルチモードを備え、上記第 1 のメモリ動作とその前又は後に実施される第 2 のメモリ動作又は自律的なリフレッシュ動作とに要する最短アクセス時間が、上記第 1 のメモリ動作と第 2 のメモリ動作又はリフレッシュ動作においてメモリセルの記憶情報が互いに影響を受けないことを条件として、上記第 1 のメモリ動作に要する時間と第 2 のメモリ動作又は上記リフレッシュ動作に要する時間を加算した時間よりも短くしてなることを特徴とする半導体記憶装置。

【請求項 2】 周期的に記憶情報の保持のためのリフレッシュ動作を必要とするメモリセルを含み、前記メモリセルに対して記憶情報の読み出しあるいは書き込みを行う第 1 のメモリ動作と、上記第 1 のメモリ動作とは異なるアドレス指定による第 2 のメモリ動作又はリフレッシュ動作とが時間的に競合したとき、かかる第 1 のメモリ動作の前又は後に第 2 のメモリ動作又はリフレッシュ動作を実施するタイムマルチモードを備え、上記第 1 のメモリ動作とその前又は後に実施される第 2 のメモリ動作又はリフレッシュ動作とに要する最短アクセス時間が、上記第 1 のメモリ動作と第 2 のメモリ動作又はリフレッシュ動作においてメモリセルの記憶情報が互いに影響を受けないことを条件として、上記第 1 のメモリ動作に要する時間と第 2 のメモリ動作又は上記リフレッシュ動作に要する時間を加算した時間よりも短くしてなることを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 又は 2 において、上記第 1 のメモリ動作と上記第 2 のメモリ動作又は上記リフレッシュ動作とのうち、先に実行される動作期中に後に実行される動作のワード線の選択動作のための準備動作が並行して実施されるものであることを特徴とする半導体記憶装置。

【請求項 4】 請求項 1 ないし 3 のいずれかにおいて、上記第 1 のメモリ動作と第 2 のメモリ動作又はリフレッシュ動作とのうち、先に実行される動作でのワード線のリセット動作及びビット線のプリチャージが終了した後に、後に実行される動作におけるワード線の立ち上がりが設定されることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、上記後に実行される動作は、上記第 1 のメモリ動作を指示する信号を所定の遅延回路により遅延して形成された起動信号により開始されることを特徴とする半導体記憶装置。

【請求項 6】 請求項 1 ないし 4 のいずれかにおいて、

上記後に実行される動作の制御には、先に実行される動作でのビット線がプリチャージされたことを検出する信号を用いるものであることを特徴とする半導体記憶装置。

【請求項 7】 複数のビット線と複数のワード線に対応して設けられ、周期的に記憶情報の保持のためのリフレッシュ動作を必要とする複数のメモリセルを含むメモリアレイと、

上記ビット線をプリチャージするプリチャージ回路と、アドレス信号に従って上記複数のワード線のうちの特定のワード線と、上記複数のビット線のうちの特定のビット線を選択するアドレス選択回路と、

前記メモリセルに対して記憶情報の読み出しあるいは書き込みを行う第 1 のメモリ動作が指示されたとき、かかる第 1 のメモリ動作の後に上記第 1 のメモリ動作とは異なるアドレス指定による第 2 のメモリ動作又はリフレッシュ動作を実施する時間を割り当てるタイムマルチ制御回路を備え、

上記タイムマルチ制御回路は、

上記第 1 のメモリ動作の指示に対応して上記ビット線のプリチャージを解除し、かかる第 1 のメモリ動作でのアドレス信号に対応してワード線及びビット線の選択動作を行ってメモリセルに対して情報の読み出し又は外部情報をメモリセルに書き込む第 1 動作と、上記ビット線を再びプリチャージする第 1 プリチャージ動作と、

上記ビット線のプリチャージ動作を解除して上記第 2 のメモリ動作のアドレスに対応して情報の読み出し又は外部情報を書き込む第 2 動作又はリフレッシュアドレスに対応したリフレッシュ動作に要する時間を割り当てるものであり、

上記第 2 動作又はリフレッシュ動作に対応したワード線選択のためのデコード動作を含む予備動作を上記第 1 動作又は第 1 プリチャージ動作と並行して実施し、かかる第 2 動作又はリフレッシュ動作に対応したワード線の選択動作と、上記第 1 プリチャージ動作とが重ならないように上記第 2 動作又はリフレッシュ動作を実施する時間が割り当てられてなることを特徴とする半導体記憶装置。

【請求項 8】 複数のビット線と複数のワード線に対応して設けられ、周期的に記憶情報の保持のためのリフレッシュ動作を必要とする複数のメモリセルを含むメモリアレイと、

上記ビット線をプリチャージするプリチャージ回路と、アドレス信号に従って上記複数のワード線のうちの特定のワード線と、上記複数のビット線のうちの特定のビット線を選択するアドレス選択回路と、

前記メモリセルに対して記憶情報の読み出しあるいは書き込みを行う第 1 のメモリ動作が指示されたとき、かかる第 1 のメモリ動作の前にリフレッシュ動作を実施する

時間を割り当てるタイムマルチ制御回路を備え、上記タイムマルチ制御回路は、上記リフレッシュ動作の指示に対応して上記ビット線のプリチャージを解除し、リフレッシュアドレスに対応してワード線の選択動作を行ってビット線にメモリセルの情報を読み出し、それを増幅して再書き込みするというリフレッシュ動作を実施する時間を割り当てる動作と、上記ビット線を再びプリチャージする第1プリチャージ動作と、

上記第1のメモリ動作のアドレス信号に対応してワード線及びビット線の選択動作を行ってメモリセルに対して情報の読み出し又は外部情報をメモリセルに書き込む動作とを行うものであり、

上記メモリセルに対して情報の読み出し又は外部情報をメモリセルに書き込む動作に対応したワード線選択のためのデコード動作を含む予備動作を上記第1プリチャージ動作と並行して実施し、かかる動作に対応したワード線の選択動作と、上記第1プリチャージ動作とが重ならないようにしてなることを特徴とする半導体記憶装置。

【請求項9】 請求項7又は8において、上記リフレッシュ動作を実施するために割り当てられた時間は、リフレッシュの要求があったときにのみリフレッシュ動作が実施されるものであることを特徴とする半導体記憶装置。

【請求項10】 請求項7ないし9のいずれかにおいて、

上記アドレス選択回路は、第1のメモリ動作に対応して入力されたアドレス信号を解読してワード線の選択信号を形成する第1選択回路と、リフレッシュアドレス信号を解読して、それに対応したワード線の選択信号を形成する第2選択回路と、上記第1選択回路の出力信号と第2選択回路の出力信号のいずれかを選択してワード線の選択動作を行わせるセクタ回路とを備え、

上記リフレッシュの要求の有無に対応して、上記セクタの切り換えが行われることを特徴とする半導体記憶装置。

【請求項11】 請求項10において、リフレッシュアドレス信号は、周期的なパルス信号を受けるカウンタ回路からなるリフレッシュアドレス生成回路により形成されるものであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、リフレッシュ動作を必要とする半導体記憶装置に関し、主に外部からのリード／ライト動作と内部回路で実施されるリフレッシュ動作とを1つのメモリサイクル中に実行するようにしたダイナミック型ランダム・アクセス・メモリ（以下、単にDRAMという）等を利用して有効な技術に関する。

【0002】

【従来の技術】DRAMをSRAM（スタティック型ランダム・アクセス・メモリ）と同様に扱うことができるようにするために、図37に示すようにリード／ライト動作とリフレッシュ動作とを1サイクル中にそれぞれの時間を割り振って実施するようにしたり、あるいはリード／ライト動作とリフレッシュ動作とが競合したときのみ上記2つの動作を実施するという、いわゆるタイムマルチ方式のDRAMが、特開昭61-71494号公報において提案されている。

【0003】図37に示したタイミングチャート図では、前半で行われるリフレッシュ（Refresh）動作の終了をビット線がプリチャージされたことで検知し、リード／ライト（Read/Write）に切り換えるようにしている。同図では、前半にリフレッシュ動作、後半に書き込み・読み出し動作を行う例が示されているが、前半に書き込み・読み出し動作を行ない、後半にリフレッシュ動作を行うようにしてもよいことも記載されている。

【0004】

【発明が解決しようとする課題】上記のようなタイムマルチ方式では、前半サイクルでのリフレッシュ動作の終了を内部の各ノードが待機状態になったことを検出し、それを受けて後半サイクルにより外部アドレスを取り込むようにして通常書き込みあるいは読み出し動作を行うことにより、上記動作によりメモリ選択動作の誤動作や、メモリセルの記憶情報が破壊されてしまうのを防止している。したがって、上記のようなタイムマルチ方式では、誤動作防止等のために2つの動作を時間的に完全に分離するものであり、必然的にサイクルタイムが長くなってしまいう問題が生じる。

【0005】上記DRAMにおいて、ワード線が非選択状態にされてビット線のプリチャージ動作が終了してビット線がハイインピーダンス状態になるまでの時間と、次のワード線の選択動作とが重ならないようにすればメモリセルの情報の破壊を防止することができる。逆に言えば、上記前サイクルにおいてビット線のプリチャージ動作を実施しているときに、後サイクルにおいてワード線を選択状態にしてしまうと、選択されたメモリセルにも上記ビット線のプリチャージ電圧が書き込まれてしまい記憶情報が破壊される。このことに着目して、本願発明者においては、上記のようなタイムマルチ方式で動作するDRAMのメモリサイクルの短縮化を図ることを考えた。

【0006】本発明の目的は、使い勝手を良くしつつ高速なサイクル時間を実現した半導体記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下

記の通りである。すなわち、周期的に記憶情報の保持のためのリフレッシュ動作を必要とするメモリセルに対して記憶情報の読み出しあるいは書き込みを行う第1のメモリ動作と、上記第1のメモリ動作と異なるアドレス指定による第2のメモリ動作又はリフレッシュ動作とが時間的に競合したとき、かかる第1のメモリ動作の前又は後に第2のメモリ動作又はリフレッシュ動作を実施するタイムマルチモードを設け、上記第1のメモリ動作とその前又は後に実施される第2のメモリ動作又はリフレッシュ動作とに要する最短アクセス時間を上記第1のメモリ動作と第2のメモリ動作又はリフレッシュ動作においてメモリセルの記憶情報が互いに影響を受けないことを条件として、上記第1のメモリ動作に要する時間と上記第2のメモリ動作又は上記リフレッシュ動作に要する時間を加算した時間よりも短くする。

【0008】本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、複数のビット線と複数のワード線に対応して設けられ、周期的に記憶情報の保持のためのリフレッシュ動作を必要とする複数のメモリセルを含むメモリアレイと、上記ビット線をプリチャージするプリチャージ回路と、アドレス信号に従って上記複数のワード線のうちの特定のワード線と上記複数のビット線のうちの特定のビット線を選択するアドレス選択回路と、前記メモリセルに対して記憶情報の読み出しあるいは書き込みを行う第1のメモリ動作が指示されたとき、かかる第1のメモリ動作の後に上記第1のメモリ動作とは異なるアドレス指定による第2のメモリ動作又はリフレッシュ動作を実施する時間を割り当てるタイムマルチ制御回路を備え、かかるタイムマルチ制御回路により、上記第1のメモリ動作の指示に対応して上記ビット線のプリチャージを解除し、かかる第1のメモリ動作でのアドレス信号に対応してワード線及びビット線の選択動作を行ってメモリセルの情報の読み出し又は外部情報をメモリセルに書き込む第1動作と、上記ビット線を再びプリチャージする第1プリチャージ動作と、上記ビット線のプリチャージ動作を解除して第2のメモリ動作又はリフレッシュ動作に対応してワード線の選択動作を行って上記第2のメモリ動作又はリフレッシュ動作に要する時間を割り当てる。

【0009】

【発明の実施の形態】図1は、本発明の基本概念を説明する第1の実施例のブロック図である。メモリLSIチップ101内に、通常のDRAM動作を保証する全体回路(MCALL)102と、動作モード切り替え等の全体制御を実施する制御回路(CNT)103と、アドレスカウンタ(ADC)104と、遅延時間測定回路(DELMES)105とを有する。

【0010】図1に示される半導体記憶装置では、書き込み・読み出し動作とリフレッシュ動作の切替は制御回

路(CNT)103および遅延時間測定回路(DELMES)105により次のように自動的に行う。まず、入力/出力信号線106から外部入力信号(I/O)107が入力されると、直ちにリフレッシュ動作を行う。アドレスカウンタ(ADC)104が指定するワード線上のメモリセルのリフレッシュが終了し、ワード線が閉じ、ビット線がプリチャージされる。その後、直ちに書き込み・読み出し動作のアドレスで指定されるワード線が活性化される。

【0011】上記後半の書き込み・読み出し動作は、外部アドレスが入力されてからビット線がプリチャージされるまでの時間を予測しておき、遅延時間測定回路(DELMES)105によって外部アドレスを取りこむタイミングを適切に調整して、当該アドレスに対応するワード線の活性と前記リフレッシュ動作でのビット線のプリチャージが重ならないようにすることで実現できる。

【0012】この遅延時間測定回路(DELMES)105は、制御回路(CNT)103より出力された信号を必要な時間($t_1 + t_2 - t_4$)程度だけ遅延させる回路である。ここで、 t_1 とは、アドレスカウンタ出力からワード線ドライバ入力までの遅延時間、 t_2 とは、ワード線ドライバ入力からビット線がプリチャージされるまでの時間、 t_4 とは、アドレス入力からワード線ドライバ入力までの遅延時間を表す。

【0013】図2にタイミングチャートを示す。図37に示される従来例のタイミングチャートと比較すると、前半サイクルのワード線活性化期間と後半サイクルのワード線活性化期間の間の空き時間を最小限に設定することができ、($t_3 + t_4 - \alpha$)だけサイクル時間を高速化できる。ここで、 t_3 とは、ビット線プリチャージ検出時間、 α とは、プロセス・電圧・温度変化によりビット線のプリチャージと次ワード線の立上りが重なるのを防ぐためのタイミングマージンである。

【0014】以上は、前半にリフレッシュ動作、後半に書き込み・読み出し動作を行う例について述べたが、前半に書き込み・読み出し動作、後半にリフレッシュ動作を行う場合も同様に行えばよい。また、アドレス入力のタイミングではなく、ワード線ドライバ、アドレスデコード、アドレスプリデコード等の活性化タイミングを遅延時間測定回路(DELMES)105によって適切にずらすことで、前記空き時間を縮めることができ、サイクル時間を高速化できる。

【0015】前述した説明では、1サイクルに2動作としているが限定はない。また、リフレッシュ動作と書き込み・読み出し動作だけではなく、書き込み動作と読み出し動作等にも同様に適用できる。つまり本発明は、前サイクルのワード線活性化期間と後サイクルのワード線活性化期間の間の空き時間を最小限にすることが目的であり、1サイクルに2動作以上させる場合にも、1サイクルに1動作しかさせない場合にも適用される。ここで

いう動作とは、リフレッシュ動作、書き込み動作、読み出し動作、全動作を対象とする。1サイクルに2動作、特に、リフレッシュ動作と書き込み・読み出し動作としているのは、従来例との比較を容易にするためだけである。また、これ以降の説明でも同様なことが言えるが、それぞれにおいて上記補足説明は冗長となるため省略する。

【0016】図3は、本発明の基本概念を説明する第2の実施例のブロック図である。図1の実施例のブロック図と異なるのは、遅延時間測定回路（DELMES）505の構成である。図3の遅延時間測定回路（DELMES）505は、通常のDRAM動作を保証する全体回路（MCALL）502から信号を受け、遅延時間を測定している。例えば、センスアンプの起動信号を受け、センスアンプ起動からビット線プリチャージまでの時間を遅延時間測定回路で遅延させ、適切なタイミングで外部アドレスを取り込む。センスアンプ起動までは実際の回路と同一の遅延時間が得られるため、図1の遅延時間測定回路（DELMES）105に比べ、プロセス・電圧・温度変動に対しての遅延時間の誤差が小さくなる。また、遅延すべき時間が短いため、遅延回路のレイアウト面積を小さくできる利点がある。動作については、図1と同一であるため、動作説明、タイミングチャートは省略する。

【0017】図4は、本発明の基本概念を説明する第3の実施例のブロック図である。図1の実施例のブロック図と異なるのは、遅延時間測定回路の代わりに検出回路（DET）605が追加されたことにある。図6の検出回路（DET）605は、全体回路（MCALL）602の各ノードが待機状態になったことを検出する。

【0018】図5にタイミングチャートを示す。検出の一例として、図5ではビット線がプリチャージしたことを検知している。本発明では、ビット線がプリチャージしたことを検知して、ワード線ドライバを動作させるようにしている。この結果、従来例のタイミングチャート図37と本発明のタイミングチャート図5を比較すると、アドレス入力からワード線ドライバ入力までの遅延時間 t_4 だけサイクル時間が高速化されることになる。同様に、ビット線がプリチャージしたことを検知して、アドレスデコード、アドレスプリデコード等を動作させることもできる。この場合は、アドレス入力からアドレスデコード、アドレス入力からアドレスプリデコード等までの遅延時間分だけサイクル時間を高速化できる。

【0019】図6は、本発明の基本概念を説明する第4の実施例のブロック図である。図1の構成に対して、検出回路（DET）808が追加されている。図1では、リフレッシュが終了し、ワード線が閉じ、ビット線がプリチャージされた直後に、書き込み・読み出し動作のアドレスで指定されるワード線が活性化されるが、図6の

実施例では、さらにビット線がプリチャージされたことも検知して、書き込み・読み出し動作のアドレスで指定されるワード線が活性化される。そのため、プロセス・電圧・温度変動により発生する遅延時間測定回路（DELMES）805での誤差を考慮しなくてよい、つまり、タイミングマージンを取る必要がなくなる。但し、ビット線プリチャージ検出時間が余分に必要となる。

【0020】サイクル時間は、図7のタイミングチャートに示すように、 $(t_1 + t_2 + t_3 + t_2)$ となる。 α （マージン） $> t_3$ （検出時間）となる場合は、図1に対してサイクル時間を $(\alpha - t_3)$ 短縮できる。また、遅延時間測定回路（DELMES）805は、図3に示される構成としても何ら問題はない。

【0021】前記の各実施例において、ダイナミック型メモリセルは、その情報保持時間に対応した一定の周期でリフレッシュ動作が実施されなければならない。書き込み・読み出し動作が上記のような一定の周期内で常に発生しているような記憶装置では、かかる動作毎での自律的なリフレッシュ動作によって情報保持動作を実現できる。書き込み・読み出し動作は、当該ワード線に接続されたメモリセルについてみるとリフレッシュ動作が実施されるが、かかる書き込み・読み出し動作でのアドレス指定は不定であるから、アドレスカウンタ（ADC）104、504、604、804においてリフレッシュアドレスを更新させて全てのメモリセルについてリフレッシュを実施するものである。

【0022】上記のような自律的なリフレッシュ動作を書き込み・読み出し動作サイクル中に挿入することによって、外部からは格別なリフレッシュ動作の指示を行うことなく、あるいは内部回路で実施されるリフレッシュのために書き込みや読み出し動作が待たされることなく、SRAMと同様にメモリアクセスを実施することが可能になるものである。

【0023】図8は、本発明の基本概念を説明する第1の実施例のブロック図に対する他の実施例（変形例）のブロック図である。この実施例は、図1の構成にタイマー（REFTIM）1008を付加したものである。DRAMでは各サイクル毎にリフレッシュを行う必要はない。つまり、メモリセルの情報保持時間内にリフレッシュが実施されればよい。例えば、代表的な64MビットDRAMを例にとると、リフレッシュ間隔が64ms、リフレッシュサイクルが4、096であるから、 $15.625\mu s$ （ $64ms / 4,000$ ）に1回リフレッシュを行えばよいことになる。

【0024】即ち、アドレスカウンタの指定により0番目のワード線に接続されるメモリセルのリフレッシュを行い、1番目のワード線、2番目のワード線と順次リフレッシュを行い、次に0番目のワード線がリフレッシュされるまでの時間を64msとするためには各ワード線を15.625 μs の間隔でリフレッシュすればよい

訳である。なお、DRAMのリフレッシュ動作はワード線を活性化することによってそのワード線に接続された全てのメモリセルのリフレッシュが行われ、従って、全ワード線を活性化することによって全てのメモリセルのリフレッシュが行われることは周知のとおりである。

【0025】タイマー（REFTIM）1008は、このように一定周期（15.625μs）毎にリフレッシュ・リクエスト・パルスを出力するための回路である。図8の実施例では、メモリLSIが連続的にリード・ライト動作状態にある場合は、上記リフレッシュ・リクエスト・パルスとリード・ライト動作が競合する一定周期に1回、その動作サイクルの前半または後半でリフレッシュ動作を行い、後半または前半で書き込み・読み出し動作を行う。また、長時間待機状態の場合にもリフレッシュ・リクエスト・パルスにตอบสนองして一定周期でリフレッシュ動作のみを行うことができる。この結果、外部端子からのリード・ライト動作がリフレッシュ動作によって制限されることがないので、SRAMと同様に扱うことができるものとなる。

【0026】図8の構成によれば、リフレッシュ動作の回数が制限されているため消費電力の低減に有効である。つまり、リード・ライト動作とリフレッシュ動作が競合したときには、それに対応してリフレッシュ動作が実施されてリフレッシュアドレスの更新が行われるために、リフレッシュ動作のみを行う回数を少なくすることができる。さらに、メモリが外部から長時間アクセスされない場合でも内部では自動的にリフレッシュされているから情報が消滅することはなく、前記のようにSRAMと同等に扱うことができる。

【0027】本発明の基本概念を説明する前記第2、3、4の各実施例のブロック図（図3、図4、図6）に前記のようなタイマーを付加するものであってもよい。このようなタイマーを付加した実施例については図示しないけれども、図8と同様であるため、説明は省略する。

【0028】図9はアドレスが入力されると動作を開始するメモリLSIに本発明を適用した実施例（変形例）のブロック図である。この実施例は、図8の実施例の構成にアドレス入力の変化の検知回路（ATD）1109を付加したものである。上記検知回路ATD1109は、アドレスの入力の変化を検知して、図9のように信号1110を出力する回路であり、他の動作は図8の実施例と同じである。

【0029】本発明の基本概念を説明する第2、3、4の実施例のブロック図（図3、図4、図6）に前記タイマーおよび検知回路ATDを付加するものであってもよい。このようなタイマーおよび検知回路ATDを付加した実施例については、図示しないけれども図9と同様となるため、説明は省略する。

【0030】図10は、図9に対応した一実施例の具体

的なブロック図である。メモリセルアレイ（MC）1201は、複数のワード線、複数のビット線及びこれらの交点に設けられたダイナミック型メモリセル、センスアンプ、サブワードドライバ等を含む。入力バッファ（CIBF）は、外部からのコマンドを受ける。コマンドデコーダ（CD）1203は、上記入力されたコマンドをデコードする。入力バッファ（AIBF）1204は、外部からのアドレスを受ける。アドレス変化検知回路（ATD）1109は、上記入力されたアドレス信号の変化を検知する。行アドレスラッチ回路（RAL）1206は、上記入力バッファ1204を通して入力された行アドレスをラッチする。

【0031】行ブリデコーダ（RPDEC）1207は、上記ラッチされた行アドレスをブリデコードする。行コントローラ1（RCTN1）1208は、書き込み・読み出し動作に対応したセンスアンプ等の制御信号を生成する。リフレッシュタイマー（REFTIM）1108は、メモリセルの情報保持時間に対応させて一定の周期でリフレッシュ・リクエスト・パルスを出力する。アドレスカウンタ（ADC）1104は、リフレッシュ・リクエスト・パルスを計数してリフレッシュアドレスを生成する。行コントローラ2（RCTL2）1211は、リフレッシュ動作に対応したセンスアンプ等の制御信号を生成する。セレクト（SEL）1212は、リフレッシュ動作か書き込み・読み出し動作であるかによって経路を切り替える。行デコーダ（RDEC）1213は、行アドレスをデコードする。アレイコントロール（ACNT）1214は、センスアンプ等の動作を制御する。

【0032】列アドレスラッチ（CAL）1215は、前記入力バッファ1204を介して入力された列アドレスをラッチする。列デコーダ（CDEC）1216は、列アドレスをデコードする。入出力バッファ（IOBF）1217は、前記メモリセルアレイ（MC）1201から読み出されたデータを外部に出力し、また、外部からのデータを受ける。

【0033】入出力回路（IOC）1218は、前記メモリセルアレイ（MC）1201から読み出されたデータを一時的に蓄え、前記入出力バッファ（IOBF）1217に伝え、また、前記入出力バッファ（IOBF）1217からの外部データを一時的に蓄える。読み出し／書き込み回路（RWC）1219は、前記メモリセルアレイ（MC）1201から読み出されたデータを前記入出力回路（IOC）1218に伝え、前記入出力回路（IOC）1218からの書き込みデータを前記メモリセルアレイ（MC）1201に書き込む。

【0034】判定回路（JUDGE）1220は、前記コマンドデコーダ（CD）1203出力と前記ATD1109出力と前記タイマ（REFTIM）1108出力の先着順序を決定する。タイミング生成回路（TIMG

EN) 1221は、前記判定回路(JUDGE) 1220の出力を受け、リフレッシュ・書き込み・読み出し動作に対応したタイミングを生成する。

【0035】図10中の判定回路(JUDGE) 1220とタイミング生成回路(TIMGEN) 1221が図9中の制御回路(CNT) 1103にあたり、タイミング生成回路(TIMGEN) 1221内に遅延時間測定回路(DELMES) 1105が含まれている。

【0036】図11に、図10中の判定回路(JUDGE) 1220の回路図を示す。詳細動作については後述し、ここでは簡単に動作を説明する。書き込み要求パルスWEPLと読み出し要求パルス(アドレス信号変化検出信号) ATDOUITとリフレッシュ要求パルス(タイム出力) TMOUITのうち最も早く要求が届いた動作に対して、書き込み・読み出し動作については書き込み・読み出しステート信号WRS、リフレッシュ動作についてはリフレッシュステート信号REFSが出力される。

【0037】上記出力を受け、図10中のタイミング生成回路(TIMGEN) 1221にてそれぞれの動作に促したタイミングが作られる。2番目以降に到着した要求に対しては、先着動作終了後、到着順に実行される。書き込み・読み出し動作中に次の書き込み要求パルスWEPLまたは読み出し要求パルスATDOUITがきた場合も同様に、先着の書き込み・読み出し動作終了後、次の書き込み・読み出し動作が実行される。

【0038】この実施例では、書き込み動作要求パルスWEPLは読み出し動作要求パルスATDOUITよりも必ず早く到着すること、及び書き込み・読み出し動作と次の書き込み・読み出し動作が重なる時にリフレッシュ要求はないという前提のもとに本判定回路が作られている。これは、リフレッシュ動作が実行された直後のみ、書き込み・読み出し動作と次の書き込み・読み出し動作が重なることがあると仮定しているためである。この仮定が成り立たない場合でも、その条件に応じた判定回路を利用すれば良い。

【0039】図12に図11中の先着判定回路(FAJ DG1、2) 1301、1302の一実施例の回路図を示す。本回路の基本的構成は、特開平7-245558号公報に掲載されている先着信号選定回路1401とインバータ1404から構成されている。但し、先着信号選定回路1401内のANDゲート1402、1403は、特開平7-245558号公報に掲載されている構成(2ANDゲート)に対し、本願回路では3ANDゲートに変更され、インバータ1404出力(RSTの反転信号)が追加入力されている。

【0040】本回路の動作を説明する。信号RSTをハイレベル(以下単に“H”と略す)にすると、出力信号O、OBはロウレベル(以下単に“L”と略す)となり初期状態が設定される。その後、信号RSTを“L”とした後、入力信号IN、INBのどちらかが早く“H”

になると、早く“H”になった入力信号に対応した出力信号OまたはOBが“H”となる。例えば、入力信号INが早く“H”となれば、出力信号Oが“H”となり、出力信号OBは“L”のままとなる。この出力信号は、その後入力信号INとINBが他の状態(“HとH”、“LとH”、“LとL”)に変化しても保持されるが、信号RSTが“H”になると、出力信号O、OBは初期状態“L”に戻る。

【0041】図13に図10中のタイミング生成回路(TIMGEN) 1221の一実施例のブロック図を示す。判定回路(JUDGE) 1220より出力された信号WRSが入力されると、信号WRSがタイミング調整回路2、8(TIMADJ2、8) 1505、1511に入力されてタイミングが調整され、行アドレスコントローラ1(RCTL1) 1208およびセクタ(SEL) 1212へ出力される(RC1ACT、WRSEL)。

【0042】信号WRSは基本パルス生成回路1(PULGEN1) 1502に入力され、パルス化される。この出力信号PULSEは、タイミング調整回路3(TIMADJ3) 1506、タイミング調整回路5(TIMADJ5) 1508、タイミング調整回路6(TIMADJ6) 1509、タイミング調整回路7(TIMADJ7) 1510に入力され、タイミングとパルス幅が調整され、それぞれ判定回路(JUDGE) 1220、読み出し/書き込み回路(RWC) 1219、列デコーダ(CDEC) 1216、入出力回路(IOC) 1217へ出力される(WREND、RWPUL、CDPUL、IOPUL)。

【0043】タイミング調整回路1(TIMADJ1) 1504、タイミング調整回路4(TIMADJ4) 1507には、信号WRSとPULSEが入力され、それぞれタイミング調整、タイミング・パルス幅調整が行われ、行アドレスラッチ(RAL) 1206、列アドレスラッチ(CAL) 1215へと出力される(RA ACTR、RA ACTW、RAPULR、RAPULW、CA ACTR、CA ACTW、CAPULR、CAPULW)。

【0044】基本パルス生成回路1(PULGEN1) 1502、タイミング調整回路1~8(TIMADJ1~8) 1504~1511の全てに、信号WNFGとWFGがOR(論理和)された信号WFGORが入力されている。これは、信号WFGORの値によって、タイミングやパルス幅の調整値を変更可能としている。つまり、読み出し動作と書き込み動作でタイミング・パルス幅を変えている。

【0045】一方、判定回路(JUDGE) 1220より出力された信号REFSが入力されると、信号REFSがタイミング調整回路10(TIMADJ10) 1513に入力されてタイミングが調整され、行アドレスコント

ローラ2 (RCTL2) 1211へ出力される (RC2ACT)。また、信号REFSは基本パルス生成回路2 (PULGEN2) 1503に入力され、パルス化される。この出力信号は、タイミング調整回路9 (TIMADJ9) 1512に入力され、タイミングとパルス幅が調整され、判定回路 (JUDGE) 1220へ出力される (REFEND)。

【0046】図14に図13中の基本パルス生成回路1、2 (PULGEN1、2) 1502、1503の一実施例を示す。本実施例は、入力信号INが遅延回路 (DEL) 1601で時間 t だけ遅延された後にインバータ1602で反転されて生成された遅延信号N1と、入力信号INとのAND (論理積) をとることにより、パルス幅 ($t + \Delta$) (Δ はインバータ1602の遅延時間) のパルスを得る回路である。

【0047】図15に図13中のタイミング調整回路2、8、10 (TIMADJ2、8、10) 1505、1511、1513の一実施例を示す。信号WFGORが“L”の場合はインバータ1701およびインバータ1712の出力が“H”となり、クロックドインバータ1704、クロックドインバータ1706、クロックドインバータ1711がイネーブルとなり、クロックドインバータ1702、クロックドインバータ1707、クロックドインバータ1709がディスエーブルとなる。その結果、入力信号INがノードN1、遅延回路1 (DEL1) 1705を通して出力OUTに伝えられ、ノードN2はクロックドインバータ1711とインバータ1710によりラッチされる。

【0048】信号WFGORが“H”の場合はインバータ1701およびインバータ1712の出力が“L”となり、クロックドインバータ1704、クロックドインバータ1706、クロックドインバータ1711がディスエーブル、クロックドインバータ1702、クロックドインバータ1707、クロックドインバータ1709がイネーブルとなる。その結果、入力IN信号がノードN2、遅延回路2 (DEL2) 1708を通して出力OUTに伝えられ、ノードN1はクロックドインバータ1702とインバータ1703によりラッチされる。

【0049】図16に図13中のタイミング調整回路3、5、6、7、9 (TIMGEN3、5、6、7、9) 1506、1508、1509、1510、1512の一実施例を示す。信号WFGORが“L”の場合はインバータ1801およびインバータ1812の出力が“H”となり、クロックドインバータ1804、クロックドインバータ1806、クロックドインバータ1811がイネーブルとなり、クロックドインバータ1802、クロックドインバータ1807、クロックドインバータ1809がディスエーブルとなる。その結果、入力信号PULSEがノードN1、遅延回路1 (DEL1) 1805、パルス幅調整回路1 (PULADJ1) 18

13を通して出力OUTに伝えられ、ノードN2はクロックドインバータ1811とインバータ1810によりラッチされる。

【0050】信号WFGORが“H”の場合はインバータ1801およびインバータ1812の出力が“L”となり、クロックドインバータ1804、クロックドインバータ1806、クロックドインバータ1811がディスエーブル、クロックドインバータ1802、クロックドインバータ1807、クロックドインバータ1809がイネーブルとなる。その結果、入力信号PULSEがノードN2、遅延回路2 (DEL2) 1808、パルス幅調整回路2 (PULADJ2) 1814を通して出力OUTに伝えられ、ノードN1はクロックドインバータ1802とインバータ1803によりラッチされる。

【0051】図17は、図13中のタイミング調整回路1、4 (TIMADJ1、4) 1504、7507の一実施例を示す。図15に示すタイミング調整回路の一実施例1901を一部変更した回路と図16に示すタイミング調整回路の一実施例1908を一部変更した回路を並べた回路である。

【0052】図15に示すタイミング調整回路の一実施例1901を一部変更した回路とは、図15に対して出力を分離したものである、それぞれの出力に接続されるクロックドインバータ1902、1903がディスエーブルとなった場合、クロックドインバータ1904とインバータ1905、クロックドインバータ1906とインバータ1907によりそれぞれの出力データはラッチされるようになっている。

【0053】図16に示すタイミング調整回路の一実施例1908を一部変更した回路とは、図16に対して出力を分離したものである、それぞれの出力に接続されるクロックドインバータ1909、1910がディスエーブルとなった場合、クロックドインバータ1911とインバータ1912、クロックドインバータ1913とインバータ1914によりそれぞれの出力データはラッチされるようになっている。

【0054】図18に図10中の行アドレスラッチ (RAL) 1206の一実施例を示す。レジスタ2001は、コマンドデコーダ (CD) 1203の出力 (書き込みアドレス入力用パルス) により入力アドレスをラッチする。レジスタ2002は、タイミング生成回路 (TIMGEN) 1221の出力 (RAPULR) により入力アドレスをラッチする。書き込み動作になると、タイミング生成回路 (TIMGEN) 1221から出力されるRAPULWにより、レジスタ2006にレジスタ2001出力がラッチされる。

【0055】次に、タイミング生成回路 (TIMGEN) 1221から出力されるRAACTWが“H” (書き込み動作) になると、インバータ2003の出力は“L”となり、クロックドインバータ2004はイネー

ブルとなる。このとき、RAACTRが“L”なので、クロックドインバータ2005がディスエーブルとなるため、レジスタ2006の出力が選ばれる。

【0056】タイミング生成回路(TIMGEN)1221から出力される信号RAPULRが“H”の時(読み出し動作時)は、インバータ2012の出力信号は“H”となり、クロックドインバータ2005はイネーブルとなる。このとき、信号RAACTWは“L”なので、クロックドインバータ2004がディスエーブルとなるため、レジスタ2002の出力信号が選ばれる。このとき、行コントローラ1(RCTL1)1208の出力信号(アドレスイネーブル信号)は“L”であり、行アドレスイネーブルラッチ2011内において、インバータ2006の出力信号は“H”であるため、クロックドインバータ2009はイネーブル、クロックドインバータ2007はディスイネーブルとなり、前記2004あるいは2005の出力信号が、クロックドインバータ2009を通して次段へ伝えられる。但し、行コントローラ1(RCTL1)1208の出力信号は“L”であるため、ANDゲート2010以降へは伝わらない。

【0057】次に、行コントローラ1(RCTL1)1208からの出力信号が“H”となると、行アドレスイネーブルラッチ2011内において、インバータ2006の出力信号が“L”となり、クロックドインバータ2009はディスイネーブル、クロックドインバータ2007はイネーブルとなり、クロックドインバータ2007とインバータ2008により、前記2004あるいは2005の出力信号がラッチされる。

【0058】さらに、行コントローラ1(RCTL1)1208からの出力信号が“H”であるため、ANDゲート2010を介して、前記2004あるいは2005の出力信号が次段へと伝えられる。また、信号RAACTW、RAACTRが共に“L”のときは、NORゲート2013、インバータ2014の出力信号がそれぞれ“H”、“L”となり、クロックドインバータ2015とインバータ2016により、クロックドインバータ2004または2005の出力信号がラッチされる。

【0059】図19に図10中の列アドレスラッチ(CAL)1215の一実施例を示す。レジスタ2101は、コマンドデコード(CD)1203の出力(書き込みアドレス入力用パルス)により入力アドレスをラッチする。レジスタ2102は、タイミング生成回路(TIMGEN)1221の出力(CAPULR)により入力アドレスをラッチする。

【0060】書き込み動作になると、タイミング生成回路(TIMGEN)1221から出力される信号CAPULWにより、レジスタ2106にレジスタ2101出力がラッチされる。次に、タイミング生成回路(TIMGEN)1221から出力される信号CAACTWが“H”(書き込み動作時)になると、インバータ210

3の出力信号は“L”となり、クロックドインバータ2104はイネーブルとなる。このとき、信号CAACTRは“L”なので、クロックドインバータ2105はディスエーブルとなるため、レジスタ2106の出力信号が選ばれる。

【0061】タイミング生成回路(TIMGEN)1221から出力される信号CAACTRが“H”の時(読み出し動作時)は、インバータ2107の出力は“H”となり、クロックドインバータ2105はイネーブルとなる。このとき、信号CAACTWは“L”なので、クロックドインバータ2104はディスエーブルとなるため、レジスタ2102の出力が選ばれる。また、信号CAACTW、CAACTRが共に“L”のときは、NORゲート2108、インバータ2109の出力信号がそれぞれ“H”、“L”となり、クロックドインバータ2110とインバータ2111により、クロックドインバータ2104または2105の出力信号がラッチされる。

【0062】図20に図18、19中のレジスタの一実施例を示す。クロック信号CLKが“L”の時は、インバータ2201出力が“H”であり、クロックドインバータ2206、クロックドインバータ2203がイネーブル、クロックドインバータ2202、クロックドインバータ2207がディスエーブルであり、入力信号Dがクロックドインバータ2206を通してノードN1に伝わっている。出力信号Qはクロックドインバータ2203とインバータ2205によりラッチされている。クロック信号CLKが“H”になると、インバータ2201の出力信号が“L”となり、クロックドインバータ2206、クロックドインバータ2203がディスエーブル、クロックドインバータ2202、クロックドインバータ2207がイネーブルとなり、入力信号Dはクロックドインバータ2206で遮断され、ノードN1のデータが出力信号Qとして伝えられる共に、クロックドインバータ2202とインバータ2204によりラッチされる。

【0063】図21に図10中のセクタ(SEL)1212の一実施例を示す。タイミング生成回路(TIMGEN)1221の出力信号(書き込み・読み出し動作を表すフラグ)が“H”の時(書き込み・読み出し動作時)、インバータ2301の出力が“L”となり、クロックドインバータ2302、クロックドインバータ2304がイネーブル、クロックドインバータ2303、クロックドインバータ2305がディスエーブルとなり、行プリデコード(RPDEC)1207の出力信号、行コントローラ1(RCTL1)1208の出力信号が選択される。

【0064】タイミング生成回路(TIMGEN)1221の出力信号(書き込み・読み出し動作を表すフラグ)が“L”の時(リフレッシュ動作時)、インバータ2301の出力信号が“H”となり、クロックドインバ

ータ2302、クロックドインバータ2304がディスエーブル、クロックドインバータ2303、クロックドインバータ2305がイネーブルとなり、アドレスカウンタ(ADC)1104の出力信号、行コントローラ2(RCTL2)1211の出力信号が選択される。

【0065】図22にクロックドインバータのシンボル図を示す。入力信号端子IN、出力信号端子OUTと、クロック信号端子CLK、CLKBを備えている。

【0066】図23に図22に示したクロックドインバータのシンボル2401の回路図を示す。ゲートがクロック信号端子CLKB、ソースが電源端子Vccに接続された第1のPMOS2501と、ゲートが入力信号端子IN、ソースが第1のPMOS2501のドレイン、ドレインが出力信号端子OUTに接続された第2のPMOS2502と、ゲートがクロック信号端子CLK、ソースが回路の接地端子Vssに接続された第3のNMOS2503と、ゲートが入力信号端子IN、ソースが第3のNMOS2503のドレイン、ドレインが出力信号端子OUTおよび第2のPMOS2502のドレインに接続された第4のNMOS2504から成る。

【0067】前記図11、14、15、16、17に示されている遅延回路(DEL、DEL1、DEL2)は、例えばインバータチェーン等で構成されている。

【0068】前記図16、17に示されているパルス幅調整回路(PULADJ1、2)は、図14に示される基本パルス生成回路と同様な構成で作られるため、ブロック図等は省略する。

【0069】図24に図10に示すブロック図のタイミングチャートを示す。図24における外部信号の入力パターンは非同期SRAMインタフェースに準じており、この場合は、書き込み-書き込み-読み出しの順序で動作させている。非同期SRAMインタフェースにおける書き込み動作は制御(ライトイネーブル)信号/WEで規定されており、この信号/WEが“L”の期間が書き込み期間となる。

【0070】本実施例では、書き込み期間開始(/WEの立下り)時に、書き込みアドレスを行アドレスラッチ(RAL)1206および列アドレスラッチ(CAL)1215に取りこみ、書き込み期間終了(/WEの立ち上がり)時に入力データを内部に取りこんでいる。また、非同期SRAMインタフェースにおける読み出し動作は、特に基準が無い場合、アドレスが遷移したことを検出し、読み出し動作を開始する。途中、書き込み動作が始まった場合は、途中で読み出し動作を止めるか、止められない場合は読み出し動作終了後に書き込み動作を始める。

【0071】以下、図24における動作を説明する。時刻t0において、信号/WEが立ち上がり、同時にアドレスがアドレスA-1からアドレスA0へ変化する。これにより、まずアドレスA-1への書き込み動作、続いて

てアドレスA0からの読み出し動作が行われる。最初、信号/WEが立ち上がったことを検出して生成されるパルスWEPL(書き込み動作)と、アドレスがA-1からA0へと変化したことを検出して出力されるATDO UT(読み出し動作)とが判定回路(JUDGE)1220に入力される。この時、チップはチップセレクト状態になっていることは言うまでもないため、チップセレクト信号/CS等のチップセレクト状態を判定する信号のタイミングチャートは省略している。以下のタイミングチャートでも同様である。

【0072】次に、判定回路内(図11)では、信号WEPLを受けて書き込み動作フラグWFGが立ち上がり、信号ATDO UTを受けて読み出し動作フラグRFGが立ち上がる。但し、書き込み動作を優先するため、上記動作フラグWFGは動作フラグRFGよりも早く立ち上がるようにしている。動作フラグWFG、RFGの立ち上がりより、書き込み・読み出しフラグWRFGが立ち上がり、先着判定回路1、2(FAJ DG1、2)1301、1302のリセットが解除される。

【0073】図11中の遅延回路(DEL)1303は、先着判定回路(FAJ DG1、2)がリセットされる前に入力信号が入力されるのを防ぐ目的で挿入されている。遅延回路(DEL)1304、1305も同一の働きをする。信号WRFGが立ち上がった時は、信号WRNFG、REF Fは“L”であるため、先着判定回路1(FAJ DG1)1301および先着判定回路2(FAJ DG2)1302の出力信号OUT1、OUT2が“H”となり、書き込み・読み出しステート信号WRSが立ち上がる。信号WRSの立ち上がりおよびWFGの立ち上がりを受けて、タイミング生成回路(TIM GEN)1221にて書き込み動作に必要なタイミングが生成され、アドレスA-1に対応したワード線(WL)活性化、ビット線(BL)増幅、カラムセレクト(YS)選択、入力データDin(A-1)の書き込みが実施される。

【0074】この場合、書き込み動作が優先されているが、読み出し動作をしてもよい。しかし、書き込み動作優先のほうが制御が簡単になる。その後、タイミング生成回路(TIM GEN)1220にて生成されたリセットパルスWRENDの立ち上がりより、判定回路内(図11)では、動作フラグWFGが“H”であることを受けて動作フラグWFGがリセットされる。但し、動作フラグRFGは“H”のため、動作フラグWRFGは“H”のままである。

【0075】リセットパルスWRENDを受けて先着判定回路1、2(FAJ DG1、2)1301、1302の端子RSTにリセットパルスWRENDが入力される。先着判定回路1、2(FAJ DG1、2)1301、1302の端子RSTが“H”となった時点でそれらの出力信号は一度“L”になり、前記端子RSTが

“L”になると、再び“H”となる。この結果、信号WRSは一度リセットされた後、再びセットされる。信号WRSがリセットされると、ワード線(WL)が非活性となり、ビット線(BL)がプリチャージされる。

【0076】その後、信号WRSが再度セットされると、この場合は動作フラグWFGが“L”であるため、タイミング生成回路(TIMGEN)1221では、読み出し動作に必要なタイミングが生成され、アドレスA0に対応したワード線(WL)の活性化、ビット線(BL)の増幅、カラムセレクト(YS)の選択、データ読み出しが実施される。

【0077】その後、信号WRENDが再度生成され、動作フラグRFG、WRFG、先着判定回路(FAJDG1、2)出力信号WRSがリセットされ、ワード線(WL)が非活性となり、ビット線(BL)がプリチャージされる。時刻t1において信号/WEが“L”になるが、読み出し動作はそのまま実行される。但し、データ端子DQへのデータ出力は信号/WEが“L”になったことにより抑止される。

【0078】次に、時刻t2において、信号/WEが“H”になると同時にアドレスがA0からA1へと変化する。これにより、アドレスA0への書き込み動作、続いてA1からの読み出し動作が行われる。この動作については、前述のアドレスA-1の書き込み動作、A0の読み出し動作と同一であるため省略する。アドレスA1のサイクルは読み出し動作となるので、前記アドレスA0のサイクルでの読み出し動作と同様にデータを読み出し、その後、アウトプットイネーブル信号/OEの立下りを受けてチップ外部に読み出しデータをDout(A1)として出力する。

【0079】前記図24には、書き込み-書き込み-読み出し動作のタイミングチャートを示したが、連続書き込み動作、連続読み出し動作、読み出し-書き込み動作のタイミングについては、図24より容易推考のため省略する。

【0080】図25に図10に示すブロック図のタイミングチャートを示す。この場合、リフレッシュ-読み出し-読み出し動作の順序で動作させている。以下、動作を説明する。時刻t0において、アドレスがA-1からA0に変化し、ほぼ同時にタイマー出力が“H”になる。これにより、リフレッシュ動作と、アドレスA0からの読み出し動作が続いて実行される。

【0081】最初、タイマー出力信号TIMOUT(リフレッシュ動作)と、アドレスがA-1からA0へと変化したことを検出して出力される信号ATDOUT(読み出し動作)とが判定回路(JUDGE)1220に入力される。判定回路内(図11)では、タイマー出力信号TIMOUTを受けてリフレッシュ動作フラグREFおよび信号ATDOUTを受けて読み出し動作フラグRFG、書き込み・読み出しフラグWRFGが立ち上が

る。その後、先着判定回路2(FAJDG2)1302にて動作フラグREFとWRFGのどちらが早く立ち上がったかを検出する。

【0082】本タイミングチャートの場合は、動作フラグREFが早く立ち上がることを仮定しているため、先着判定回路2(FAJDG2)1302出力信号OUTRが“H”となり、リフレッシュステート信号REFSが立ち上がる。この信号REFSの立ち上がりを受けて、タイミング生成回路(TIMGEN)1221にてリフレッシュ動作に必要なタイミングが生成され、アドレスカウンタ(ADC)1104で指定されたアドレスに対応したワード線(WL)の活性化、ビット線(BL)の増幅が実施され、メモリセルデータがリフレッシュされる。

【0083】その後、タイミング生成回路(TIMGEN)1220にて生成されたリセットパルスREFENDの立ち上がりより、判定回路内(図13)では、動作フラグREFがリセットされる。さらに、信号REFENDを受けて先着判定回路2(FAJDG2)1302の端子RSTに信号REFENDが入力されるため、先着判定回路2(FAJDG2)1302の端子RSTが“H”となって、出力信号OUT2、OUTRが一度“L”になり、動作フラグWRFGが“H”であることと端子RSTが“L”になることを受けて、出力信号OUT2が“H”となる。

【0084】この時、先着判定回路1(FAJDG1)1301の出力信号OUT1は既に“H”となっている。この結果、次に信号WRSがセットされる。信号REFSがリセットされると、ワード線(WL)が非活性となり、ビット線(BL)がプリチャージされる。次に信号WRSがセットされると、この場合は動作フラグWFGが“L”であるため、タイミング生成回路(TIMGEN)1221では、読み出し動作に必要なタイミングが生成され、アドレスA0に対応したワード線(WL)の活性化、ビット線(BL)の増幅、カラムセレクト(YS)の選択、データ読み出しが実施され、アウトプットイネーブル信号/OEの立下りを受けてチップ外へデータがDout(A0)として出力される。

【0085】その後、信号WRENDが生成され、動作フラグRFG、先着判定回路(FAJDG1、2)の出力信号WRSがリセットされ、ワード線(WL)が非活性となり、ビット線(BL)がプリチャージされる。時刻t2においてアドレスがA0からA1に変化すると、A1からの読み出し動作が実行される。このサイクルは、前記アドレスA0のサイクルの読み出し動作と同様であるため、説明は省略する。

【0086】図25のタイミングチャートでは、動作フラグREFがWRFGよりも先に立ち上がったので、リフレッシュ-読み出し-読み出し動作の順序で実行されたが、逆に動作フラグWRFGが先に立ち上がった場

合は、読み出し・リフレッシュ・読み出し動作の順で実行される。この場合の動作については図25より容易推考なので、省略する。また、時刻 t_2 から t_4 の間にライトイネーブル信号/WEが“L”になった場合は、アドレスA1への書き込み動作が続くが、図25と同様な動作となるため、説明は省略する。

【0087】図26に図10に示すブロック図のタイミングチャートを示す。この場合、リフレッシュ・書き込み・書き込み・読み出し動作の順序で動作させている。以下、動作を説明する。時刻 t_0 において、ライトイネーブル信号/WEが立ち上がり、同時にアドレスがA-1からA0に変化する。さらに、ほぼ同時にタイマー出力TIMOUTが“H”になる。これにより、リフレッシュ動作と、アドレスA0への書き込み動作が続いて実行される。

【0088】最初、タイマー出力TIMOUT（リフレッシュ動作）と、信号/WEが立ち上がったことを検出して生成される信号WEPL（書き込み動作）と、アドレスがA-1からA0へと変化したことを検出して出力される信号ATDOUT（読み出し動作）とが判定回路（JUDGE）1220に入力される。判定回路内（図11）では、タイマー出力TIMOUTを受けて動作フラグREFFと、信号WEPLを受けて動作フラグWFGと、信号ATDOUTを受けて動作フラグRFGとがそれぞれ立ち上がる。但し、書き込み動作を優先するため、動作フラグWFGはRFGよりも早く立ち上がるようにしている。動作フラグWFG、RFGの立ち上がりより、WRFGが立ちがる。

【0089】次に、先着判定回路（FAJ DG 2）1302にて動作フラグREFFとWRFGのどちらが早く立ち上がったかを検出する。本タイミングチャートの場合は、動作フラグREFFが早く立ち上がることを仮定しているので、先着判定回路2（FAJ DG 2）1302出力信号OUTRが“H”となり、リフレッシュステート信号REFSが立ち上がる。信号REFSの立ち上がりを受けて、タイミング生成回路（TIM GEN）1221にてリフレッシュ動作に必要なタイミングが生成され、アドレスカウンタ（ADC）1104で指定されたアドレスに対応したワード線（WL）の活性化、ビット線（BL）の増幅が実施され、メモリセルデータがリフレッシュされる。

【0090】その後、タイミング生成回路（TIM GEN）1220にて生成されたリセットパルスREFENDの立ち上がりより、判定回路内（図13）では、動作フラグREFFがリセットされる。さらに、信号REFENDを受けて先着判定回路2（FAJ DG 2）1302の端子RSTに信号REFENDが入力されるため、先着判定回路2（FAJ DG 2）1302の出力信号OUTRは一度“L”になり、動作フラグWRFGが“H”であることと端子RSTが“L”になることを受けて、

出力信号OUT2が“H”となる。

【0091】この時、先着判定回路1（FAJ DG 1）1301の出力信号OUT1は既に“H”となっている。この結果、次に信号WRSがセットされる。信号REFSがリセットされると、ワード線（WL）が非活性となり、ビット線（BL）がプリチャージされる。次に信号WRSがセットされると、この場合は動作フラグWFGが“H”であるため、タイミング生成回路（TIM GEN）1221では、書き込み動作に必要なタイミングが生成され、アドレスA-1に対応したワード線（WL）の活性化、ビット線（BL）の増幅、カラムセレクト（YS）の選択、入力データDin（A-1）の書き込みが実施される。

【0092】その後、タイミング生成回路（TIM GEN）1220にて生成されたリセットパルスWRENDの立ち上がりより、判定回路内（図13）では、動作フラグWFGが“H”であることを受けて動作フラグWFGがリセットされる。但し、動作フラグRFGは“H”のため、動作フラグWRFGは“H”のままである。さらに、信号WRENDを受けて先着判定回路1、2（FAJ DG 1、2）1301、1302の端子RSTに信号WRENDが入力されるため、先着判定回路1、2（FAJ DG 1、2）1301、1302の端子RSTが“H”となると、先着判定回路1、2（FAJ DG 1、2）1301、1302の出力信号OUT1、OUT2は一度“L”になり、先着判定回路1、2（FAJ DG 1、2）1301、1302の端子RSTが“L”になるのを受けて、再び出力信号OUT1、OUT2が“H”となる。

【0093】この結果、信号WRSは一度リセットされた後、再びセットされる。信号WRSがリセットされると、ワード線（WL）が非活性となり、ビット線（BL）がプリチャージされる。信号WRSが再度セットされると、この場合は動作フラグWFGが“L”であるため、タイミング生成回路（TIM GEN）1221では、読み出し動作に必要なタイミングが生成され、アドレスA0に対応したワード線（WL）の活性化、ビット線（BL）の増幅、カラムセレクト（YS）の選択、データ読み出しが実施される。その後、信号WRENDが再度生成され、動作フラグRFG、WRFG、先着判定回路（FAJ DG 1、2）出力信号WRSがリセットされ、ワード線（WL）が非活性となり、ビット線（BL）がプリチャージされる。

【0094】時刻 t_1 において、ライトイネーブル信号/WEが“L”になるが、読み出し動作はそのまま実行される。但し、データ端子DQへのデータ出力は信号/WEが“L”になったことにより抑止される。次に、時刻 t_2 において、ライトイネーブル信号/WEが“H”になると同時にアドレスがA0からA1へと変化する。これにより、アドレスA0への書き込み動作、続いてA

1からの読み出し動作が行われる。アドレスA1のサイクルに入ると、再び、信号WEが立ち上がったことを検出して生成される信号WEPL（書き込み動作）と、アドレスがA0からA1へと変化したことを検出して出力される信号ATDOU（読み出し動作）とが判定回路（JUDGE）1220に入力される。

【0095】判定回路内（図13）では、動作フラグWRFNGが“H”であることと信号WEPL、ATDOUを受けて、書き込み動作第2フラグWNFGと読み出し動作第2フラグRNFGが立ち上がる。但し、書き込み動作を優先するために、上記動作フラグWNFGはRNFGよりも早く立ち上がるようにしている。動作フラグWNFG、RNFGの立ち上がりにより、書き込み・読み出し第2フラグWRNFGが立ちがる。

【0096】前述した信号WRENDの再生成を受けて先着判定回路1（FAJDG1）1301の端子RSTに信号WRENDが入力されるため、先着判定回路1

（FAJDG1）1301の出力信号OUT1、OUTNは一度“L”になり、動作フラグWRNFGが“H”であることと先着判定回路1（FAJDG1）1301の端子RSTが“L”になることを受けて、先着判定回路1（FAJDG1）1301出力信号OUTNが“H”となる。

【0097】この結果、信号WRSがセットされる。つまり、信号WRSは一度リセットされた後、再びセットされる。信号WRSが再セットされると、この場合は動作フラグWNFGが“H”であるため、タイミング生成回路（TIMGEN）1221では、書き込み動作に必要なタイミングが生成され、アドレスA0に対応したワード線（WL）の活性化、ビット線（BL）の増幅、カラムセレクト（YS）の選択、入力データDin（A0）の書き込みが実施される。その後、タイミング生成回路（TIMGEN）1220にて生成されたリセットパルスWRENDの立ち上がりより、判定回路内（図13）では、動作フラグWNFGが“H”であることを受けて動作フラグWNFGがリセットされる。但し、動作フラグRNFGは“H”ため、動作フラグWRNFGは“H”のままである。

【0098】さらに、信号WRENDを受けて先着判定回路1（FAJDG1）1301の端子RSTに信号WRENDが入力される。先着判定回路1（FAJDG1）1301の端子RSTが“H”になると、先着判定回路1（FAJDG1）1301の出力信号OUT1、OUTNは一度“L”になり、先着判定回路1（FAJDG1）1301の端子RSTが“L”になるのを受けて、再び先着判定回路1（FAJDG1）1301の出力信号OUTNが“H”となる。この結果、信号WRSは一度リセットされた後、再びセットされる。信号WRSがリセットされると、ワード線（WL）が非活性となり、ビット線（BL）がプリチャージされる。信号WR

Sが再度セットされると、この場合は動作フラグWNFGが“L”であるため、タイミング生成回路（TIMGEN）1221では、読み出し動作に必要なタイミングが生成され、アドレスA1に対応したワード線（WL）の活性化、ビット線（BL）の増幅、カラムセレクト（YS）の選択、データ読み出しが実施される。

【0099】その後、信号WRENDが再度生成され、動作フラグRNFG、WRNFG、先着判定回路（FAJDG1、2）出力信号WRSがリセットされ、ワード線（WL）が非活性となり、ビット線（BL）がプリチャージされる。さらに、アウトプットイネーブル信号/OEが立ち下がるのを受けて、チップ外にデータがData（A1）として出力される。

【0100】図26のタイミングチャートでは、動作フラグREFFGがWRFNGよりも先に立ち上がったので、リフレッシュ書き込み書き込み読み出し動作の順序で実行されたが、逆に動作WRFNGが先に立ち上がった場合は、書き込みリフレッシュ書き込み読み出し動作の順で実行される。この場合の動作については図26より容易推考なので省略する。また、時刻t2からt4の間にライトイネーブル信号/WEが“L”になった場合は、アドレスA1への書き込み動作が続くが、図26と同様な動作となるため、説明は省略する。

【0101】図27に図10に示すブロック図のタイミングチャートを示す。この場合、リフレッシュ書き込み読み出し読み出し動作の順序で動作させている。以下、動作を説明する。時刻t0において、ライトイネーブル信号/WEが立ち上がり、同時にアドレスがA-1からA0に変化する。さらに、ほぼ同時にタイマー出力TIMOUTが“H”になる。これにより、リフレッシュ動作と、アドレスA0への書き込み動作が続いて実行される。

【0102】最初、タイマー出力TIMOUT（リフレッシュ動作）と、ライトイネーブル信号/WEが立ち上がったことを検出して生成される信号WEPL（書き込み動作）と、アドレスがA-1からA0へと変化したことを検出して出力される信号ATDOU（読み出し動作）とが判定回路（JUDGE）1220に入力される。判定回路内（図11）では、タイマー出力TIMOUTを受けて信号REFFGと、WEPLを受けて動作フラグWFGと、信号ATDOUを受けて動作フラグRFGがそれぞれ立ち上がる。但し、書き込み動作を優先するために、動作フラグWFGはRFGよりも早く立ち上がるようにしている。動作フラグWFG、RFGの立ち上がりより、WRFNGが立ちがる。

【0103】次に、先着判定回路2（FAJDG2）1302にて動作フラグREFFGとWRFNGのどちらが早く立ち上がったかを検出する。本タイミングチャートの場合は、動作フラグREFFGが早く立ち上がることを仮定しているので、先着判定回路2（FAJDG2）13

02出力信号OUTRが“H”となり、リフレッシュステート信号REFSが立ち上がる。信号REFSの立ち上がりを受けて、タイミング生成回路(TIMGEN)1221にてリフレッシュ動作に必要なタイミングが生成され、アドレスカウンタ(ADC)1104で指定されたアドレスに対応したワード線(WL)の活性化、ビット線(BL)の増幅が実施され、メモリセルデータがリフレッシュされる。

【0104】その後、タイミング生成回路(TIMGEN)1220にて生成されたリセットパルスREFENDの立ち上がりより、判定回路内(図13)では、動作フラグREFRがリセットされる。さらに、信号REFENDを受けて先着判定回路2(FAJDG2)1302の端子RSTに信号REFENDが入力される。先着判定回路2(FAJDG2)1302の端子RSTが“H”になると、先着判定回路2(FAJDG2)1302の出力信号OUT2、OUTRは一度“L”になり、動作フラグWRFGが“H”であることと先着判定回路2(FAJDG2)1302の端子RSTが“L”になることを受けて、先着判定回路2(FAJDG2)1302の出力信号OUT2が“H”となる。

【0105】この時、先着判定回路1(FAJDG1)1301の出力信号OUT1は既に“H”となっている。この結果、次に信号WRSがセットされる。信号REFSがリセットされると、ワード線(WL)が非活性となり、ビット線(BL)がプリチャージされる。次に信号WRSがセットされると、この場合は動作フラグWFGが“H”であるため、タイミング生成回路(TIMGEN)1221では、書き込み動作に必要なタイミングが生成され、アドレスA-1に対応したワード線(WL)の活性化、ビット線(BL)の増幅、カラムセレクト(YS)の選択、入力データDin(A-1)の書き込みが実施される。

【0106】その後、タイミング生成回路(TIMGEN)1220にて生成されたリセットパルスWRENDの立ち上がりより、判定回路内(図13)では、動作フラグWFGが“H”であることを受けて動作フラグWFRがリセットされる。但し、動作フラグRFGは“H”のため、動作フラグWRFGは“H”のままである。さらに、信号WRENDを受けて先着判定回路1、2(FAJDG1、2)1301、1302の端子RSTにWRENDパルスが入力される。

【0107】先着判定回路1、2(FAJDG1、2)1301、1302の端子RSTが“H”になると、先着判定回路1、2(FAJDG1、2)1301、1302の出力信号OUT1、OUT2は一度“L”になり、端子RSTが“L”になるのを受けて、再び先着判定回路1、2(FAJDG1、2)1301、1302の出力信号OUT1、OUT2は“H”となる。

【0108】この結果、信号WRSは一度リセットされ

た後、再びセットされる。信号WRSのリセットを受け、ワード線(WL)が非活性となり、ビット線(BL)がプリチャージされる。信号WRSが再度セットされると、この場合は動作フラグWFGが“L”であるため、タイミング生成回路(TIMGEN)1221では、読み出し動作に必要なタイミングが生成され、アドレスA0に対応したワード線(WL)の活性化、ビット線(BL)の増幅、カラムセレクト(YS)の選択、データ読み出しが実施され、アウトプットイネーブル信号/OEの立下りを受けてチップ外ヘデータがDout(A0)として出力される。

【0109】その後、信号WRENDが生成され、動作フラグRFG、WRFG、先着判定回路(FAJDG1、2)出力信号WRSがリセットされ、ワード線(WL)が非活性となり、ビット線(BL)がプリチャージされる。アドレスA1のサイクルに入ると、アドレスがA0からA1へと変化したことを検出して出力される信号ATDOUT(読み出し動作)が判定回路(JUDGE)1220に入力される。判定回路内(図13)では、動作フラグWRFGが“H”であることと信号ATDOUTを受けて、動作フラグRNFG、WRNFGが立ち上がる。その後、前述した信号WRENDの生成を受けて先着判定回路1、2(FAJDG1、2)1301、1302のRSTにWRENDパルスが入力される。

【0110】先着判定回路1、2(FAJDG1、2)1301、1302の端子RSTが“H”になると、先着判定回路1、2(FAJDG1、2)1301、1302の出力信号は一度“L”になり、動作フラグWRNFGが“H”であることと先着判定回路1、2(FAJDG1、2)1301、1302の端子RSTが“L”になることを受けて、先着判定回路1(FAJDG1)1301の出力信号OUTNが“H”となる。

【0111】この結果、信号WRSは一度リセットされた後、再びセットされる。信号WRSが再セットされると、この場合は動作フラグWNFGが“L”であるため、タイミング生成回路(TIMGEN)1221では、読み出し動作に必要なタイミングが生成され、アドレスA1に対応したワード線(WL)の活性化、ビット線(BL)の増幅、カラムセレクト(YS)の選択、データ読み出しが実施される。その後、信号WRENDが再度生成され、動作フラグRNFG、WRNFG、先着判定回路(FAJDG1、2)出力信号WRSがリセットされ、ワード線(WL)が非活性となり、ビット線(BL)がプリチャージされる。さらに、アウトプットイネーブル信号/OEが立ち下がるのを受けて、チップ外にデータがDout(A1)として出力される。

【0112】図27のタイミングチャートでは、動作フラグREFRがWRFGよりも先に立ち上がったので、リフレッシュー書き込みー読み出しー読み出し動作の順

序で実行されたが、逆に動作フラグWRF Gが先に立ち上がった場合は、書き込み・リフレッシュ・読み出し・読み出し動作の順で実行される。この場合の動作については図27より容易推考なので、省略する。また、時刻t2からt4の間にライトイネーブル信号/WEが“L”になった場合は、アドレスA1への書き込み動作が続くが、図27と同様な動作となるため、説明は省略する。

【0113】全動作パターンにおけるタイミングは、前述した図24から図27のタイミングチャートより容易推考であるため、図10に示す本発明の実施例により、全動作パターンを誤動作なく実行できることがわかる。

【0114】全動作パターンの中で、サイクル時間を律速するパターンは図27の動作パターンである。そこで、従来例を図27の動作パターンに当てはめて考える。従来例では、ビット線BLがプリチャージされたことを検知後、外部アドレス入力から次動作が始まる。そのため、ビット線BLプリチャージ後、ワード線WLが立ち上がるまでの時間は、図2と図37との比較からもわかるように本発明よりも遅い。この結果、図27の動作パターンにおける本発明の実施例では、0.15μm CMOSプロセスにおいては、従来例に対し約20%ものサイクル時間の高速化が実現できる。

【0115】図28に、図9に対する具体的な第2の実施例のブロック図を示す。この実施例は、図10の実施例に対して、セクタ(SEL)3012の位置をメモリアレイ(MC)3001と行デコーダ(RDEC)3023の間に移動している。その結果、リフレッシュ動作に対応した行プリデコーダの出力をカウントアップしていた図10のアドレスカウンタ(ADC)1104を、リフレッシュ動作に対応した行デコーダの出力をカウントアップするアドレスカウンタ(ADC)3010に変更し、リフレッシュ動作に対応したアレイコントロールを司るアレイコントロール2(AC TL2)3025を新設した。タイミングチャートについては、図10の実施例と同様であるため省略する。

【0116】図10の構成では、リフレッシュ動作時に行デコーダ(RDEC)1213を動作させていたが、図28の実施例の構成では、アドレスカウンタ(ADC)3010があるために、その必要がなくなる。その結果、リフレッシュ動作時のアクセスを高速化できるとともに、消費電流を低く抑えられる。反面、行デコーダの出力数分、セクタ回路が必要となり、また、アレイコントロール2(AC TL2)3025を必要とするものである。

【0117】図29に、図9に対する具体的な第3の実施例のブロック図を示す。図10の実施例に対して、セクタ(SEL)3112の位置を行アドレスラッチ(RAL)3106と行プリデコーダ(RPDEC)3107の間に移動している。その結果、図10の行コン

トローラ2(RCT L2)1211が廃止された。また、タイミング生成回路(TIM GEN)3121は、図10中のタイミング生成回路(TIM GEN)1221と同一であるため、行コントローラ1、行コントローラ2への出力が存在する。これらの出力は、タイミング生成回路(TIM GEN)3121から出力される書き込み・読み出し動作を示すフラグ信号(WRSEL)により、いずれかが選択され、行コントローラ(RCT L)3108に入力されるよう変更される。また、行コントローラ(RCT L)3108から行アドレスラッチ(RAL)3106への信号は、リフレッシュ動作時は不要であるため、書き込み・読み出し動作の時のみ出力されるように変更する。タイミングチャートについては、図10の実施例と同様であるため省略する。

【0118】図10の実施例の構成に対し、図29の実施例の構成では、セクタ(SEL)3112が行プリデコーダ(RPDEC)3113前に配置されるため、セクタ回路数が低減される。その結果、チップ面積を小さくできる。反面、リフレッシュ動作時は、行プリデコーダ(RPDEC)3107も動作させることが必要となるものである。

【0119】図30に図9に対する具体的な第4の実施例のブロック図を示す。図10の実施例に対して、セクタの位置を行アドレスラッチ(RAL)3206内に移動している。その結果、図10の行コントローラ2(RCT L2)1211が廃止された。また、タイミング生成回路(TIM GEN)3221は、図10中のタイミング生成回路(TIM GEN)1221と同一であるため、行コントローラ1、行コントローラ2への出力が存在する。これらの出力は、タイミング生成回路(TIM GEN)3221から出力される書き込み・読み出し動作を示すフラグ信号(WRSEL)により、いずれかが選択され、行コントローラ(RCT L)3208に入力されるよう変更される。

【0120】図31に、図30中の行アドレスラッチ(RAL)3206の一実施例のブロック図を示す。図18の実施例に示す行アドレスラッチ(RAL)1206に対して、行アドレスイネーブルラッチ2011前段にセクタ3304を配置している。タイミング生成回路(TIM GEN)3221の出力(WRSEL)が“H”のときは、書き込み・読み出し動作であり、セクタ3304内において、インバータ3301の出力が“L”となり、クロックドインバータ3303がイネーブルとなり、クロックドインバータ3302がディスエーブルとなり、クロックドインバータ2004あるいは2005の出力が選択される。

【0121】タイミング生成回路(TIM GEN)3221の出力(WRSEL)が“L”のときは、リフレッシュ動作であり、セクタ3304内において、インバータ3301の出力が“H”となり、クロックドインバ

ータ3303がディスエーブルとなり、クロックドインバータ3302がイネーブルとなり、アドレスカウンタ(ADC)3210の出力が選択される。タイミングチャートについては、図10と同様であるため省略する。

【0122】図10の実施例の構成に対し、図30の実施例の構成では、セクタ(SEL)3212が行アドレスラッチ(RAL)3206内に配置されるため、セクタ回路数が低減される。また、図29の実施例の構成に対しては、行コントローラ(RCTL)3208から行アドレスラッチ(RAL)3206に出力される信号の制御がなくなる分、制御論理が単純化される。その結果、チップ面積を小さくできる。反面、リフレッシュ動作時は、行アドレスイネーブルラッチ2011、行ブリデコーダ(RPDEC)3207も動作させることが必要になる。

【0123】図10に示す実施例では、タイミング生成回路(TIMGEN)1221内(図13)のタイミング調整回路3、9(TIMADJ3、9)1506、1512を図1に示す遅延時間測定回路(DELMES)105として配置したが、図3に示されるような遅延時間測定回路(DELMES)505の構成としてもよい。つまり、図10において、行コントローラ1、2(RCTL1、2)1208、1211または、アレイコントロール(ACLT)1214からある信号をもらい、そこから適切な時間だけ遅延させた信号を判定回路(JUDGE)1220に戻す構成としてもよい。この場合、タイミングチャートは図24から図27に示されたものと同一である。よって、ここでは詳細な説明は省略する。また、図28、図29、図30に示す各実施例についても同様であるため、説明は省略する。

【0124】図32に図4に対する具体的な第1の実施例のブロック図を示す。メモリセルアレイ(MC)3401は、複数のワード線、複数のビット線及びそれらに対応して設けられる複数のダイナミック型メモリセルとセンスアンプ、サブワードドライバ等を含む。入力バッファ(CIBF)3402は外部からのコマンドを受け、コマンドデコーダ(CD)3403は入力されたコマンドをデコードする。入力バッファ(AIBF)3404は、外部からのアドレスを受ける。ATD3405は、アドレスの入力変化を検知する。

【0125】行アドレスラッチ(RAL)3406は、行アドレスをラッチする。行ブリデコーダ(RPDEC)3407は、行アドレスをブリデコードする。行デコーダ1(RDEC1)3423は、上記行ブリデコーダ(RPDEC)3407の出力をデコードする。行コントローラ1(RCTL1)3408は、書き込み・読み出し動作に対応したセンスアンプ等の制御信号を生成する。アレイコントロール1(ACLT1)3424は、センスアンプ等の動作を制御する。

【0126】リフレッシュタイマー(REFTIM)3

409は、上記ダイナミック型メモリセルの情報保持時間に対応した一定周期のリフレッシュ要求パルスを生成する。アドレスカウンタ(ADC)3410は、上記リフレッシュ要求パルスを計数してリフレッシュアドレスを生成する。行コントローラ2(RCTL2)3411は、上記リフレッシュ動作に対応したセンスアンプ等の制御信号を生成する。アレイコントロール2(ACLT2)3425は、センスアンプ等の動作を制御する。

【0127】セクタ(SEL)3412は、リフレッシュ動作か書き込み・読み出し動作であるかによって経路を切り替える。列アドレスラッチ(CAL)3415は、列アドレスをラッチする。列デコーダ(CDEC)3416は、列アドレスをデコードする。入出力バッファ(IOBF)3417は、前記メモリセルアレイ(MC)3401から読み出されたデータを外部に出力し、また、外部からのデータを受ける。

【0128】入出力回路(IOC)3418は、前記メモリセルアレイ(MC)3401から読み出されたデータを一時的に蓄え、前記入出力バッファ(IOBF)3417に伝え、また、前記入出力バッファ(IONF)3417からの外部データを一時的に蓄え、前記メモリセルアレイ(MC)3401に書き込む。読み出し/書き込み回路(RWC)3419は、前記メモリセルアレイ(MC)3401から読み出されたデータを前記入出力回路(IOC)3418に伝え、前記入出力回路(IOC)3418からの書き込みデータを前記メモリセルアレイ(MC)3401に書き込む。

【0129】判定回路(JUDGE)3420は、前記コマンドデコーダ(CD)3403出力と前記ATD3405出力と前記タイマー(REFTIM)3409出力の先着順序を決定する。タイミング生成回路(TIMGEN)3421は、前記判定回路(JUDGE)3420の出力を受け、リフレッシュ・書き込み・読み出し動作に対応したタイミングを生成する。ビット線プリチャージ検出回路(BLDET)3422は、ビット線(BL)がプリチャージしたことを検出する。

【0130】前記図10の実施例との違いは、判定回路(JUDGE)3420に入力されるリセット信号が、タイミング生成回路(TIMGEN)3421より生成されるのではなく、ビット線プリチャージ検出回路3422より生成されること、および、セクタの位置を行デコーダとメモリセルアレイの間に移動したことである。図32中のビット線プリチャージ検出回路(BLDET)3422の一実施例は、前記従来例のものと同一の回路を用いることができる。

【0131】図32に示す実施例のタイミングチャートは、図10の実施例のタイミングチャート(図24から図27)において、ビット線(BL)がプリチャージされてから次動作のワード線(WL)が立ち上がるまでの時間が異なるだけであるので、詳細なタイミングチャー

ト図は省略する。図 32 に示す実施例では、ビット線 (BL) のプリチャージを直接検出するため、プロセス・電圧・温度によるばらつきを考えなくてよい。そのため、前記時間差は、ビット線 (BL) がプリチャージされたことを検知するまでの時間と図 2 中のタイミングマージン α の差になる。ビット線 (BL) がプリチャージされたことを検知するまでの時間がタイミングマージン α よりも短い場合は、図 10 に示す実施例よりもサイクル時間が高速化される。

【0132】図 32 の実施例では、リフレッシュ動作時は、行アドレスのプリデコードが不要となるため、アクセス時間が高速化される。但し、セクタ回路はデコードされた信号線分必要とするし、アレイコントロール 2 (ACTL2) 3425 およびビット線プリチャージ検出回路 (BLDET) 3422 も必要とする。

【0133】図 33 は、図 4 に対する具体的な第 2 の実施例である。図 32 の実施例の構成に対して、セクタ位置をメモセルアレイと行デコーダの間から行プリデコーダと行デコーダの間に移動した。この結果、セクタ回路は、プリデコードされた信号線数分で済み、また、アレイコントロールが 1 つになるので、回路規模が小さくなり、それに対応してチップ面積を小さくできる。反面、セクタ (SEL) 3512 から行デコーダ (RDEC) 3513 までにおいて信号遅延時間が生じる。

【0134】図 33 に示す実施例のタイミングチャートは、図 10 の実施例のタイミングチャート (図 24 から図 27) において、ビット線 (BL) がプリチャージされてから次動作のワード線 (WL) が立ち上がるまでの時間が異なるだけであるので、詳細なタイミングチャート図は省略する。

【0135】図 34 に図 4 に対する具体的な第 3 の実施例を示す。図 32 の実施例の構成に対して、セクタの位置を行アドレスラッチと行プリデコーダの間に移動した。さらに、図 32 の実施例と同様、タイミング生成回路 (TIMGEN) 3620 から行コントローラ 1、行コントローラ 2 への出力は存在するが、それらの出力は図 34 の行コントローラ (RCTL) 3608 に入力され、タイミング生成回路 (TIMGEN) 3621 から出力される書き込み・読み出し動作を示すフラグ信号により、いずれかが選択される。また、行コントローラ (RCTL) 3608 から行アドレスラッチ (RAL) 3606 への信号は、書き込み・読み出し動作の時のみ出力されるように変更する。

【0136】図 32 の実施例の構成に対し、図 34 の実施例の構成では、セクタ (SEL) 3612 が行プリデコーダ (RPDEC) 3607 前に配置されるため、セクタ内の回路数はプリデコードされる前の信号線数分で済むので、減らすことができる。また、アレイコントロールおよび行コントローラが 1 つになるので、チ

ップ面積を減らせる。但し、セクタ (SEL) 3612 から行デコーダ (RDEC) 3613 までの遅延時間が生じる。

【0137】図 35 に図 4 の実施例に対する具体的な第 4 の実施例を示す。図 32 の実施例に対して、セクタの位置を行アドレスラッチ (RAL) 3706 内に移動している。その結果、図 32 の行コントローラ 2 (RCTL2) 3411、アレイコントロール 2 (ACTL2) 3425 が廃止された。さらに、図 32 の実施例と同様、タイミング生成回路 (TIMGEN) 3720 から行コントローラ 1、行コントローラ 2 への出力は存在するが、それらの出力は図 37 の行コントローラ (RCTL) 3708 に入力され、タイミング生成回路 (TIMGEN) 3721 から出力される書き込み・読み出し動作を示すフラグ信号により、いずれかが選択される。行アドレスラッチ (RAL) 3708 の構成については図 31 に示す構成と同一である。また、タイミングチャートについては、図 10 と同様であるため省略する。

【0138】図 32 の実施例の構成に対し、図 35 の実施例の構成では、セクタ (SEL) 3712 が行アドレスラッチ (RAL) 3706 内に配置されるため、セクタ回路数が低減される。また、図 34 の実施例の構成に対しては、行コントローラ (RCTL) 3708 から行アドレスラッチ (RAL) 3706 に出力される信号の制御がなくなる分、制御論理が単純化される。その結果、チップ面積を小さくできる。反面、リフレッシュ動作時は、行アドレスイネーブルラッチ 2011、行プリデコーダ (RPDEC) 3707 も動作させることになる。

【0139】図 38 に図 9 の実施例に対する具体的な第 5 の実施例を示す。図 10 の実施例に対して、外部アドレス (Address) をラッチするための信号を 1 本追加している。追加した信号 (アドレスラッチ信号 (ADL)) は、入力バッファ (ALBF) 3901 を通して内部に入り、アドレスラッチ (AAL) 3904 および ADL パルス生成回路 (ALPL) 3902 に入る。

【0140】前記アドレスラッチ (AAL) 3904 では、アドレスラッチ信号 (ADL) の立上りにて外部アドレスがラッチされる。また、前記 ADL パルス生成回路 (ALPL) 3902 では、アドレスラッチ信号 (ADL) の立上りからワンショットパルスが生成される。前記 ADL パルス生成回路 (ALPL) 3902 出力は ADL スイッチ (SW) 3903 を通して判定回路 (JUDGE) 1220 に入る。

【0141】判定回路 (JUDGE) では、図 10 の実施例と同様に、コマンドデコーダ (CD) 1203 出力とタイマ (REFTIM) 1221 出力と前記 ADL パルス生成回路 (ALPL) 3902 出力の先着順序が決定され、タイミング生成回路 (TIMGEN) 1221

にて、リフレッシュ・書き込み・読み出し動作に対応したタイミングの信号が生成される。ADLパルス生成回路（ALPL）3902の一実施例は図14に示される。

【0142】図39に図38中のアドレスラッチ（AAL）3904の一実施例を示す。アドレスラッチ信号（ADL）を有効にする場合は、ADLスイッチ2（SW2）4002にて、レジスタ4001の出力が選択され、アドレスラッチ信号（ADL）を無効にする場合は、入力バッファ（AIBF）の出力が選択される。レジスタ4001のラッチ信号（CLK）には、アドレスラッチ信号（ADL）が入力バッファ（ALBIF）およびタイミング調整用の遅延回路（DEL）を通して接続されている。レジスタ4001の一実施例は図20に示される。

【0143】図40に図38中のADLスイッチ（SW）3903および図39中のADLスイッチ（SW2）4002の一実施例を示す。アドレスラッチ信号（ADL）を有効にする場合は、ADL判定信号（ADLMODE）を“H”とすることで、インバータ4101の出力が“L”となり、クロックドインバータ4102がイネーブル、クロックドインバータ4103がディスエーブルとなり、入力信号1（IN1）がインバータ4104を通して出力される。

【0144】アドレスラッチ信号（ADL）を無効にする場合は、ADL判定信号（ADLMODE）を“L”とすることで、インバータ4101の出力が“H”となり、クロックドインバータ4102がディスエーブル、クロックドインバータ4103がイネーブルとなり、入力信号2（IN2）がインバータ4104を通して出力される。入力信号1（IN1）は、図38中のADLパルス生成回路（ALPL）3902出力または図39中のレジスタ4001出力に接続され、入力信号2（IN2）は、図38中のアドレス変化検知回路（ATD）1109出力または図39中の入力バッファ（AIBF）出力に接続される。ADL判定信号（ADLMODE）は、パワーアップシーケンス等によりコマンドデコーダ（CD）1203から生成されてもよく、フューズ切断、ボンディングオプションピンの接続先変更、またはメタル層切替により生成されてもよい。

【0145】図41に図38に示すブロック図のタイミングチャートを示す。時刻t0において、アドレスラッチ信号（ADL）が立上ると、アドレスラッチ（AAL）3904にて、外部アドレス（Address）がラッチされる。その出力が図41中のAALOUTであり、行アドレスラッチ回路（RAL）1206、列アドレスラッチ回路（CAL）1215およびアドレス変化検知回路（ATD）1109に入力される。但し、アドレスラッチ信号（ADL）が有効であるため、アドレス変化検知回路（ATD）1109出力は、ADLスイッ

チ（SW）3903にて遮断される。

【0146】一方、アドレスラッチ信号（ADL）が立上ると、ADLパルス生成回路（ALPL）3902にてワンショットパルス（ALPLOUT）が生成され、その信号はADLスイッチ（SW）3903を通して、判定回路（JUDGE）1220に入る。このワンショットパルス（ALPLOUT）は、図24から図27のアドレス変化検知回路（ATD）の出力ADLOUTと同一信号であるため、これ以降の動作は全て図24から図27と同じになる。よって、ワンショットパルス（ALPLOUT）以降の動作波形および説明は省略する。

【0147】全動作パターンにおけるタイミングは、図38のタイミングチャートがADLパルス生成回路（ALPL）3902の出力（ALPLOUT）以降で図10のタイミングチャート（図24から図27）と同一であることから、容易推考である。よって、図38に示す本発明の実施例により、全動作パターンを誤動作なく実行できることがわかる。

【0148】図28から図30および図32から図35に示される実施例において、アドレスラッチ信号（ADL）を導入した場合のブロック図および動作を、図10に対する図38の説明と同様に全て説明できることは容易推考のため、詳細な説明は省略する。

【0149】図38の実施例において、外部からのアドレスラッチ信号（ADL）を反転させ、立下りで外部アドレスをラッチするようにしても、動作は可能である。これは、前記実施例の説明より容易推考であるため、詳細は省略する。

【0150】また、アドレスラッチ信号（ADL）と外部コマンド信号（例えば、チップセレクト信号）を短絡し、外部コマンド信号（例えば、チップセレクト信号）の立上りで外部アドレスをラッチするようにしても、動作は可能である。これは、前記実施例の説明より容易推考であるため、詳細は省略する。この場合、チップ内部でアドレスラッチ信号（ADL）と外部コマンド信号（例えば、チップセレクト信号）を短絡することもできるため、チップ外部へのピン数を増やすことなく、前記外部アドレスラッチ動作が可能となる。

【0151】図36に、前述した本発明に係る半導体記憶装置を実現するチップの実装の形態の一実施例を示す。図36は、一般的にスタックCSP（Chip Size Package）と呼ばれる実装態である。3801は上から見た図、3802は断面図を表す。基板3803と、基板3803上のフラッシュメモリチップ3804と、フラッシュメモリチップ3804上の前記本発明に係る半導体記憶装置（外部からのリフレッシュが不要なDRAMチップ3805）を積層し、基板3803の下面にはハンダボール3806とを有する。但し、基板3803の上面に形成された電極とフラッシュメモリチップ3804及びDRAMチップ3805に形

成された電極の間を接続するボンディングワイヤについては図面が煩雑になることを避けるために省略している。

【0152】上記実装において、アドレス信号および入出力データ信号については、フラッシュメモリと本発明を実現する外部からのリフレッシュが不要なDRAMに対して基板上の同一ピンに接続されている。つまり、共用されている。一方、コマンド信号については、フラッシュメモリと本発明を実現する外部からのリフレッシュが不要なDRAMに対してそれぞれ基板上の異なるピンに接続されている。

【0153】上記の実施例から得られる作用効果は、下記の通りである。

(1) 記憶情報の保持のためのリフレッシュ動作を必要とするメモリセルに対して記憶情報の読み出しあるいは書き込みを行う第1のメモリ動作が指示されたとき、かかる第1のメモリ動作の前又は後に異なるアドレス指定による第2のメモリ動作又は自律的にリフレッシュ動作を実施するというタイムマルチモードを備えたDRAMに対し、第1のメモリ動作とその前又は後に実施される第2のメモリ動作又は自律的なリフレッシュ動作とに要する最短アクセス時間を、上記第1のメモリ動作と第2のメモリ動作又はリフレッシュ動作においてメモリセルの記憶情報が互いに影響を受けないことを条件として、上記第1のメモリ動作に要する時間と第2のメモリ動作又は上記リフレッシュ動作に要する時間を加算した時間よりも短くすることにより上記タイムマルチモードでサイクル時間の短縮化を図ることができるという効果が得られる。

【0154】(2) 記憶情報の保持のためのリフレッシュ動作を必要とするメモリセルに対して記憶情報の読み出しあるいは書き込みを行う第1のメモリ動作が指示されたとき、かかる第1のメモリ動作の前又は後に異なるアドレス指定による第2のメモリ動作又はリフレッシュ動作とが時間的に競合したときに第2のメモリ動作又はリフレッシュ動作を実施するというタイムマルチモードを備えたDRAMに対し、上記第1のメモリ動作とその前又は後に実施される第2のメモリ動作又はリフレッシュ動作とに要する最短アクセス時間を、上記第1のメモリ動作と第2のメモリ動作又はリフレッシュ動作においてメモリセルの記憶情報が互いに影響を受けないことを条件として、上記第1のメモリ動作に要する時間と第2のメモリ動作又は上記リフレッシュ動作に要する時間を加算した時間よりも短くすることにより上記タイムマルチモードでサイクル時間の短縮化を図ることができるという効果が得られる。

【0155】(3) 上記に加えて、上記第1のメモリ動作と上記第2のメモリ動作又は上記リフレッシュ動作とのうち、先に実行される動作中に後に実行される動作のワード線の選択動作のための準備動作を並行して実

施することによって、上記タイムマルチモードでサイクル時間の短縮化を図ることができるという効果が得られる。

【0156】(4) 上記に加えて、上記第1のメモリ動作と第2のメモリ動作又はリフレッシュ動作とのうち、先に実行される動作でのワード線のリセット動作及びビット線のプリチャージが終了した後に、後に実行される動作におけるワード線の立ち上がりを設定することによって、前記メモリセルの記憶情報が互いに影響を受けないようにすることができ、タイムマルチモードでサイクル時間の短縮化を図ることができるという効果が得られる。

【0157】(5) 上記に加えて、上記後に実行される動作を、上記第1のメモリ動作を指示する信号を所定の遅延回路により遅延して形成された起動信号により開始することにより上記準備動作を先行して実施でき、上記タイムマルチモードでサイクル時間の短縮化を図ることができるという効果が得られる。

【0158】(6) 上記に加えて、上記後に実行される動作の制御には、先に実行される動作でのビット線がプリチャージされたことを検出する信号を用いることにより、回路の簡素化を図りつつタイミングマージンを小さくすることができるという効果が得られる。

【0159】(7) DRAMを構成するメモリセルに対して記憶情報の読み出しあるいは書き込みを行う第1のメモリ動作が指示されたとき、かかる第1のメモリ動作の後に上記第1のメモリ動作とは異なるアドレス指定による第2のメモリ動作又はリフレッシュ動作を実施する時間を割り当てるタイムマルチ制御回路を設け、上記第1のメモリ動作の指示に対応して上記ビット線のプリチャージを解除し、かかる第1のメモリ動作でのアドレス信号に対応してワード線及びビット線の選択動作を行ってメモリセルに対して情報の読み出し又は外部情報をメモリセルに書き込む第1動作と、上記ビット線を再びプリチャージする第1プリチャージ動作と、上記ビット線のプリチャージ動作を解除して上記第2のメモリ動作のアドレスに対応して情報の読み出し又は外部情報を書き込む第2動作又はリフレッシュアドレスに対応したリフレッシュ動作に要する時間を割り当て、上記第2動作又はリフレッシュ動作に対応したワード線選択のためのデコード動作を含む予備動作を上記第1動作又は第1プリチャージ動作と並行して実施し、かかる第2動作又はリフレッシュ動作に対応したワード線の選択動作と、上記第1プリチャージ動作とが重ならないように上記第2動作又はリフレッシュ動作を実施する時間を割り当てることにより、メモリアクセスの高速化を図ることができるという効果が得られる。

【0160】(8) DRAMを構成するメモリセルに対してメモリセルに対して記憶情報の読み出しあるいは書き込みを行う第1のメモリ動作が指示されたとき、か

かる第1のメモリ動作の前にリフレッシュ動作を実施する時間を割り当てるタイムマルチ制御回路を設け、上記リフレッシュ動作の指示に対応して上記ビット線のプリチャージを解除し、リフレッシュアドレスに対応してワード線の選択動作を行ってビット線にメモセルの情報を読み出し、それを増幅して書き込みするというリフレッシュ動作を実施する時間を割り当て、上記ビット線を再びプリチャージする第1プリチャージ動作の後に上記第1のメモリ動作のアドレス信号に対応してワード線及びビット線の選択動作を行ってメモセルに対して情報の読み出し又は外部情報をメモセルに書き込む動作を行い、上記メモセルに対して情報の読み出し又は外部情報をメモセルに書き込む動作に対応したワード線選択のためのデコード動作を含む予備動作を上記第1プリチャージ動作と並行して実施してかかる動作に対応したワード線の選択動作と、上記第1プリチャージ動作とが重ならないようにすることによって、メモリアクセスの高速化を図ることができるという効果が得られる。

【0161】(9) 上記に加えて、上記リフレッシュ動作を実施するために割り当てられた時間において、リフレッシュの要求があったときにのみリフレッシュ動作を実施することにより、リフレッシュに要する消費電流を低減させることができるという効果が得られる。

【0162】(10) 上記に加えて、上記アドレス選択回路を、第1の選択回路により第1のメモリ動作に対応して入力されたアドレス信号を解読してワード線の選択信号を形成し、第2の選択回路によりリフレッシュアドレス信号を解読して、それに対応したワード線の選択信号を形成し、セレクトにより上記第1選択回路の出力信号と第2選択回路の出力信号のいずれかを選択してワード線の選択動作を行わせることにより、アドレス選択動作のための時間マージンの設定が最小にでき、メモサイクル時間の短縮化を図ることができるという効果が得られる。

【0163】(11) 上記に加えて、リフレッシュアドレス信号を周期的なパルス信号を受けるカウンタ回路からなるリフレッシュアドレス生成回路により形成することにより、メモセルの情報保持時間に対応させた確実なリフレッシュ動作を実施することができるという効果が得られる。

【0164】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図10において、メモセルアレイ1021は、ビット線方向及びワード線方向に複数に分割し、かかる分割されたメモセルアレイに対応して、そのアドレス選択回路を複数設けるようにするものであってもよい。ワード線やビット線は、メインワード線とローカルワード線のような階層ワード線方式、ビット線もローカルビット線及び

メインビット線等のように階層ビット線方式を採用するものであってもよい。

【0165】つまり、公知のダイナミック型RAMに採用されている素子構造、回路レイアウト技術を利用して、前記メモセルアレイ及びそのアドレス選択回路を構成することができる。

【0166】携帯電話等のような電子装置の高機能化に伴い、大容量ワークRAMの需要が急増している。通常、ワークRAMは非同期SRAMで作られているが大容量化に向かない。その代替メモリとして大容量のDRAMが注目されているがリフレッシュが必要であり使い勝手が悪い。この発明に係る半導体記憶装置は、非同期SRAMとの互換性を保つことができ、前記フラッシュメモリと一体化した構成とすることにより、電源遮断時での不揮発情報機能を持つフラッシュメモリとの組み合わせによって種々のメモリ動作を発揮することができる。この発明は、このようにDRAM回路を利用しつつ、外部からはSRAMと同等に扱うことができる半導体記憶装置として広く利用できる。

20 【0167】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。記憶情報の保持のためのリフレッシュ動作を必要とするメモセルに対して記憶情報の読み出しあるいは書き込みを行う第1のメモリ動作が指示されたとき、かかる第1のメモリ動作の前又は後に異なるアドレス指定による第2のメモリ動作又はリフレッシュ動作とが時間的に競合したときに第2のメモリ動作又はリフレッシュ動作を実施するというタイムマルチモードを備えたDRAMに対し、上記第1のメモリ動作とその前又は後に実施される第2のメモリ動作又はリフレッシュ動作とに要する最短アクセス時間を、上記第1のメモリ動作と第2のメモリ動作又はリフレッシュ動作においてメモセルの記憶情報が互いに影響を受けないことを条件として、上記第1のメモリ動作に要する時間と第2のメモリ動作又は上記リフレッシュ動作に要する時間を加算した時間よりも短くすることにより上記タイムマルチモードでサイクル時間の短縮化を図ることができる。

40 【0168】DRAMを構成するメモセルに対して記憶情報の読み出しあるいは書き込みを行う第1のメモリ動作が指示されたとき、かかる第1のメモリ動作の後に上記第1のメモリ動作とは異なるアドレス指定による第2のメモリ動作又はリフレッシュ動作を実施する時間を割り当てるタイムマルチ制御回路を設け、上記第1のメモリ動作の指示に対応して上記ビット線のプリチャージを解除し、かかる第1のメモリ動作でのアドレス信号に対応してワード線及びビット線の選択動作を行ってメモセルに対して情報の読み出し又は外部情報をメモセルに書き込む第1動作と、上記ビット線を再びプリチャージする第1プリチャージ動作と、上記ビット線のプリ

チャージ動作を解除して上記第2のメモリ動作のアドレスに対応して情報の読み出し又は外部情報を書き込む第2動作又はリフレッシュアドレスに対応したリフレッシュ動作に要する時間を割り当て、上記第2動作又はリフレッシュ動作に対応したワード線選択のためのデコード動作を含む予備動作を上記第1動作又は第1プリチャージ動作と並行して実施し、かかる第2動作又はリフレッシュ動作に対応したワード線の選択動作と、上記第1プリチャージ動作とが重ならないように上記第2動作又はリフレッシュ動作を実施する時間を割り当てることにより、メモリアクセスの高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明の基本概念の第1の実施例を説明するためのブロック図である。
 【図2】図1の実施例の動作を説明するためのタイミングチャート図である。
 【図3】本発明の基本概念の第2の実施例を説明するためのブロック図である。
 【図4】本発明の基本概念の第3の実施例を説明するためのブロック図である。
 【図5】図4の実施例の動作を説明するためのタイミングチャート図である。
 【図6】本発明の基本概念の第4の実施例を説明するためのブロック図である。
 【図7】図6の実施例の動作を説明するためのタイミングチャート図である。
 【図8】本発明の基本概念の第1の実施例の変形例を示すブロック図である。
 【図9】本発明の基本概念の第1の実施例の更に変形例を示すブロック図である。
 【図10】図9の具体的な一実施例を示すブロック図である。
 【図11】図10中の判定回路の一実施例を示す回路図である。
 【図12】図10中の先着判定回路の一実施例を示す回路図である。
 【図13】図10中のタイミング生成回路の一実施例を示すブロック図である。
 【図14】図13中の基本パルス生成回路の一実施例を示す回路図である。
 【図15】図13中のタイミング調整回路2、8、10の一実施例を示す回路図である。
 【図16】図13中のタイミング調整回路3、5、6、7、9の一実施例を示す回路図である。
 【図17】図13中のタイミング調整回路1、4の一実施例を示す回路図である。
 【図18】図10中の行アドレスラッチの一実施例を示す回路図である。
 【図19】図10中の列アドレスラッチの一実施例を示す回路図である。

【図20】図18、図19中のレジスタの一実施例を示す回路図である。

【図21】図10中のセクタの一実施例を示す回路図である。

【図22】この発明に用いられるクロックドインバータのシンボル図である。

【図23】図22のクロックドインバータの一実施例を示す回路図である。

【図24】図10の実施例の第1の動作（書き込み－書き込み－読み出し動作）を説明するためのタイミングチャート図である。

【図25】図10の実施例の第2の動作（リフレッシュ－読み出し－読み出し動作）を説明するためのタイミングチャート図である。

【図26】図10の実施例の第3の動作（リフレッシュ－書き込み－書き込み－読み出し動作）を説明するためのタイミングチャート図である。

【図27】図10の実施例の4の動作（リフレッシュ－書き込み－読み出し－読み出し動作）を説明するためのタイミングチャート図である。

【図28】図9の具体的な第2の実施例を示すブロック図である。

【図29】図9の具体的な第3の実施例を示すブロック図である。

【図30】図9の具体的な第4の実施例を示すブロック図である。

【図31】図30中の行アドレスラッチの一実施例を示す回路図である。

【図32】図4の具体的な第1の実施例を示すブロック図である。

【図33】図4の具体的な第2の実施例を示すブロック図である。

【図34】図4の具体的な第3の実施例を示すブロック図である。

【図35】図4の具体的な第4の実施例を示すブロック図である。

【図36】本発明の実施例を実現する外部からのリフレッシュが不要なDRAMチップの実装の形態の一実施例を示す構成図である。

【図37】従来技術の一例を示すタイミングチャート図である。

【図38】図9の具体的な第5の実施例を示すブロック図である。

【図39】図38中のアドレスラッチの一実施例を示す回路図である。

【図40】図38中のADLスイッチおよび図39中のADLスイッチ2の一実施例を示す回路図である。

【図41】図38の実施例の動作を説明するためのタイミングチャート図である。

【符号の説明】

101、501、601、801、1001、1101
 ・・・・メモリLSIチップ
 102、502、602、802、1002、1102
 ・・・・通常のDRAM動作を保証する全体回路(MCALL)
 103、503、603、803、1003、1103
 ・・・・リフレッシュ動作／書き込み・読み出し動作モード切替え等の全体を制御する制御回路(CNT)
 104、504、604、804、1004、1104
 ・・・・アドレスカウンタ(ADC)
 105、505、805、1005、1105・・・遅延時間測定回路(DELMES)
 100、506、606、806、1006、1106
 ・・・・入力／出力信号線107、307、507、607、807、1007、1107・・・外部入出力信号(I/O)
 605、808・・・検出回路(DET)
 1008、1108、3009、3109、3209、3409、3509、3609、3709・・・リフレッシュタイマー(REFTIM)
 1109、3005、3105、3205、3405、3505、3605、3705・・・ATD
 1110・・・ATD出力
 1201、3001、3101、3201、3401、3501、3601、3701・・・メモリセルアレイ(MC)
 1202、3002、3102、3202、3402、3502、3602、3702・・・コマンド用入力バッファ(CIBF)
 1203、3003、3103、3203、3403、3503、3603、3703・・・コマンドデコーダ(CD)
 1204、3004、3104、3204、3404、3504、3604、3704・・・アドレス用入力バッファ(AIBF)
 1206、3006、3106、3206、3406、3506、3606、3706・・・行アドレスラッチ(RAL)
 1207、3007、3107、3207、3407、3507、3607、3707・・・行プリデコーダ(RPDEC)
 1208、3008、3408、3508・・・行コントローラ1(RCTL1)
 1211、3011、3411、3511・・・行コントローラ2(RCTL2)
 1212、3012、3112、3412、3512、3612・・・セクタ(SEL)
 1213、3023、3113、3213、3423、3513、3613、3713・・・行デコーダ(RDEC)

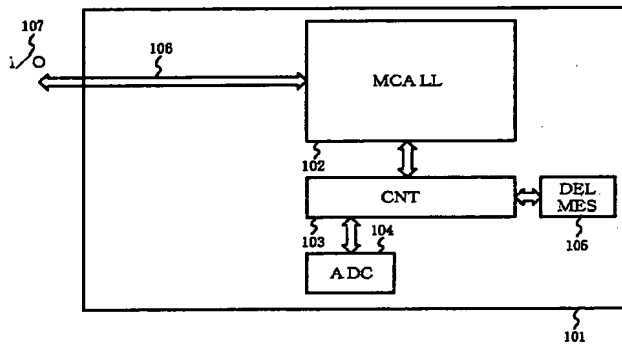
1214、3114、3214、3514、3614、3714・・・アレイコントロール(AC TL)
 1215、3015、3115、3215、3415、3515、3615、3715・・・列アドレスラッチ(CAL)
 1216、3016、3116、3216、3416、3516、3616、3716・・・列アドレスデコーダ(CDEC)
 1217、3017、3117、3217、3417、3517、3617、3717・・・入出力バッファ(IOBF)
 1218、3018、3118、3218、3418、3518、3618、3718・・・入出力回路(IOC)
 1219、3019、3119、3219、3419、3519、3619、3719・・・書きこみ／読み出し回路(RWC)
 1220、3020、3120、3220、3420、3520、3620、3720・・・判定回路(JUDGE)
 1221、3021、3121、3221、3421、3521、3621、3721・・・タイミング生成回路(TIMGEN)
 1301、1302・・・先着判定回路(FAJ DG 1、2)
 1303、1304、1305、1601、1705、1708、1805、1808・・・遅延回路(DE L、DEL1、DEL2)
 1401・・・先着信号選定回路
 1402、1403、2010・・・ANDゲート
 1404、1602、1701、1703、1710、1712、1801、1803、1812、1905、1907、1912、1914、2003、2006、2008、2012、2014、2016、2103、2107、2109、2111、2201、2204、2205、2301、3301・・・インバータ
 1501、2013、2108・・・ORゲート
 1502、1503・・・基本パルス生成回路(PUL GEN1、2)
 1504～1513・・・タイミング調整回路(TIM ADJ1～10)
 1702、1704、1706、1707、1709、1711、1802、1804、1806、1807、1809、1811、1812、1902、1903、1904、1906、1909、1910、1911、1913、2004、2005、2007、2009、2015、2104、2105、2110、2202、2203、2206、2207、2302～2305、2401、3302、3303・・・クロックドインバ ータ

1813、1814・・・パルス幅調整回路 (PULADJ1、2)
 1901・・・図17に示すタイミング調整回路
 1908・・・図18に示すタイミング調整回路
 2001、2002、2006、2101、2102、2106・・・レジスタ
 2011・・・行アドレスイネーブルラッチ
 2501、2502・・・PMOS
 2503、2504・・・NMOS
 3024、3424・・・アレイコントロール1 (ACTL1)
 3025、3425・・・アレイコントロール2 (ACTL2)
 3108、3208、3608、3708・・・行コントローラ (RCTL)
 3110、3210、3610、3710・・・アドレスカウンタ (ADC)
 ・・・・アドレスカウンタ (ADC)
 1104、3110、3210、3510、3610、3710・・・アドレスカウンタ (ADC)

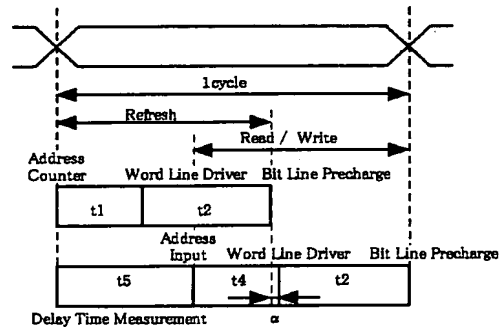
20

3304・・・セクタ
 3422、3522、3622、3722・・・ビット線プリチャージ検出回路 (BLDET)
 3801・・・実装形態を上から見た図面
 3802・・・実装形態の断面図
 3803・・・基板
 3804・・・フラッシュチップ
 3805・・・外部からのリフレッシュを不要とするDRAMチップ
 3806・・・半田バンプ
 4003・・・遅延回路 (DEL)
 4101、4104・・・インバータ
 4102、4103・・・クロックドインバータ
 4001・・・レジスタ
 3901・・・入力バッファ (ALIBF)
 3902・・・ADLパルス生成回路 (ALPL)
 3903・・・ADLスイッチ (SW)
 3904・・・アドレスラッチ (AAL)
 4002・・・ADLスイッチ2 (SW2)。

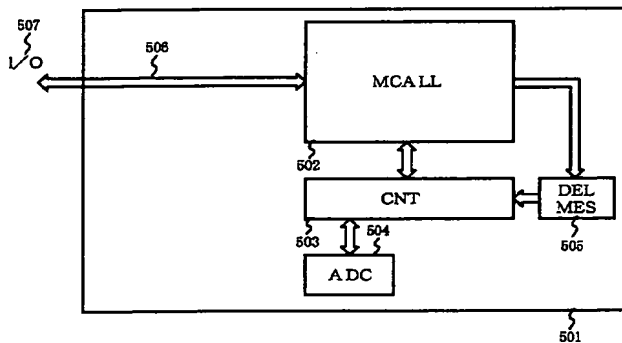
【図1】



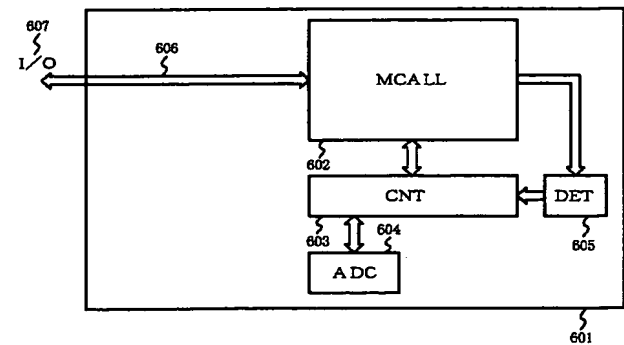
【図2】



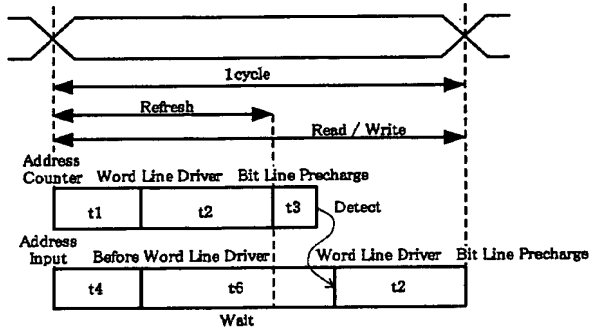
【図3】



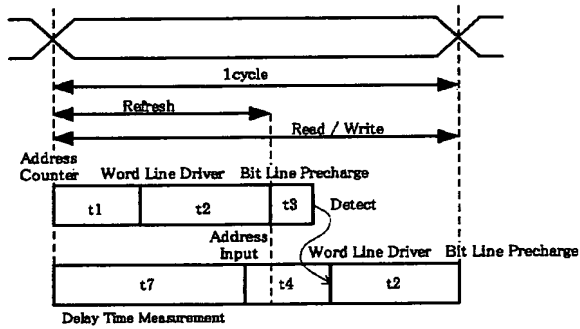
【図4】



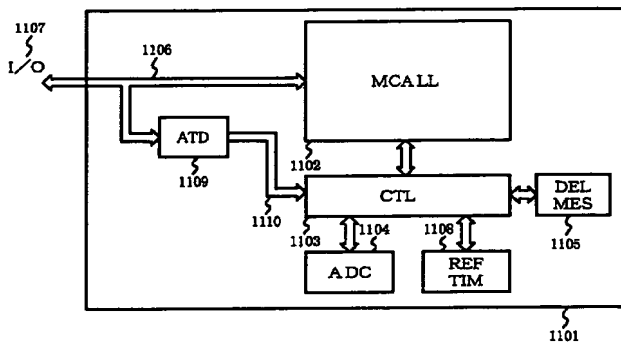
【図 5】



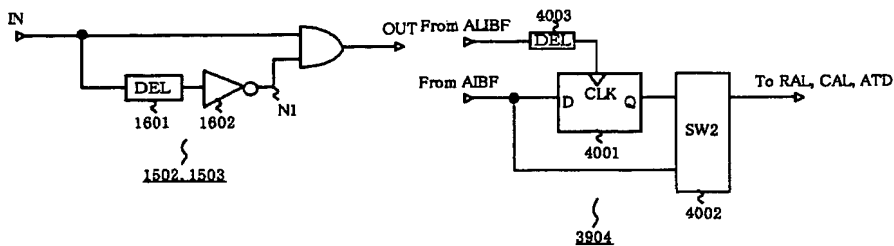
【図 7】



【図 9】

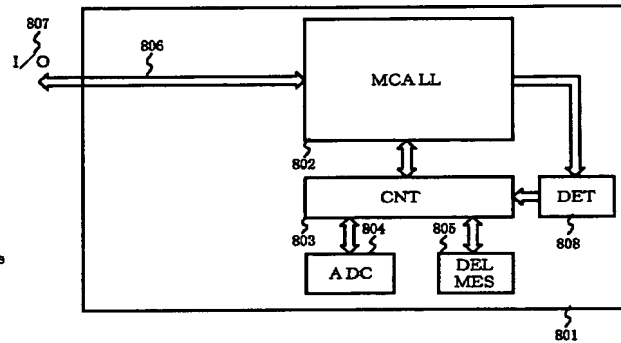


【図 1 4】

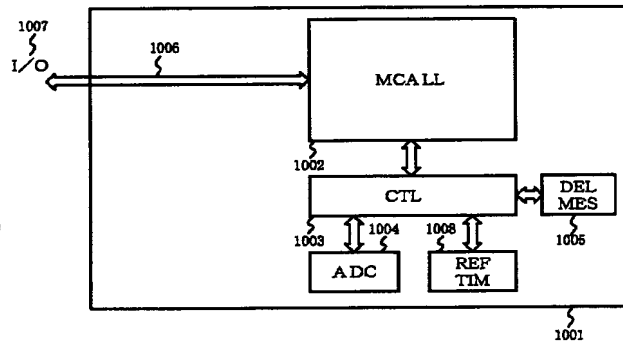


【図 3 9】

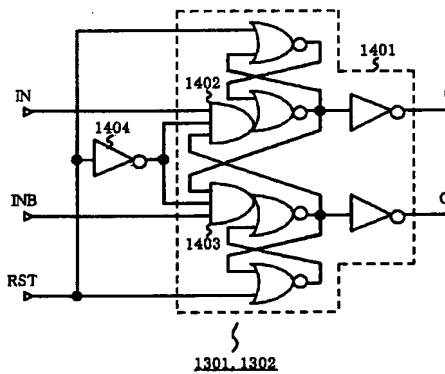
【図 6】



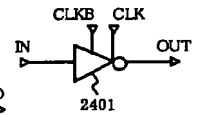
【図 8】



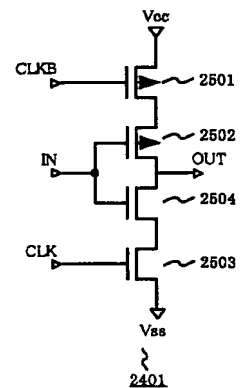
【図 1 2】



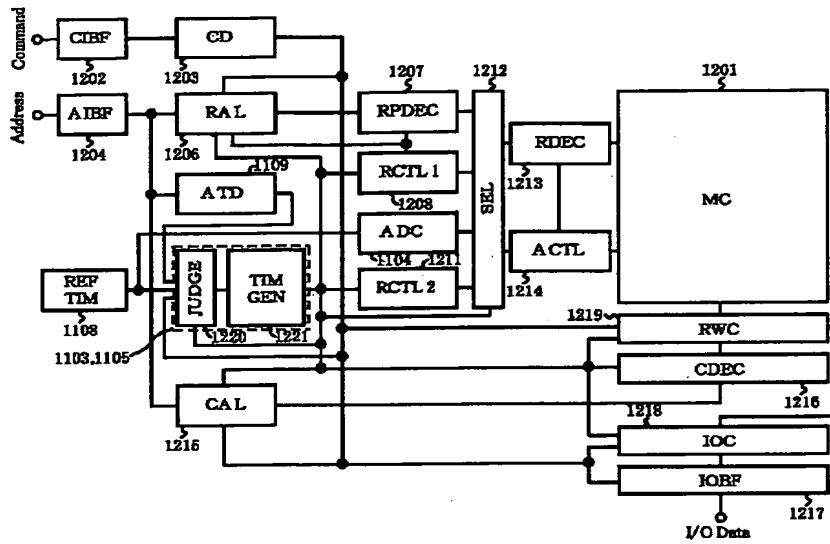
【図 2 2】



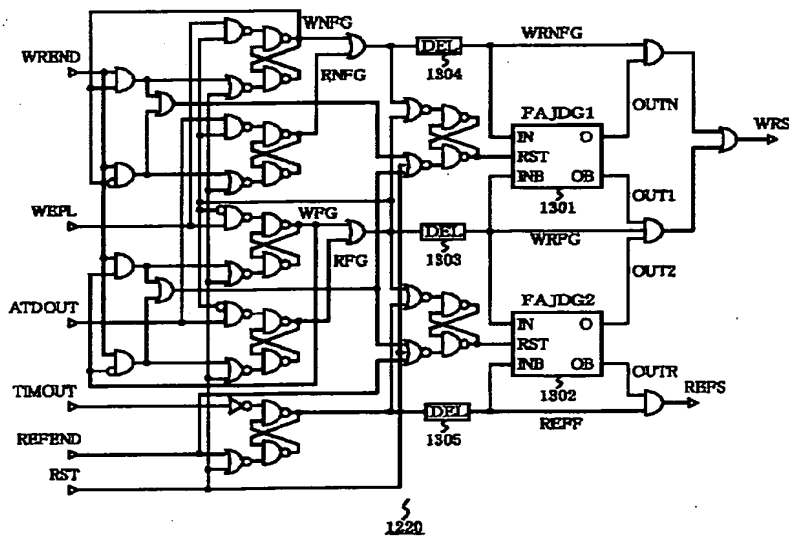
【図 2 3】



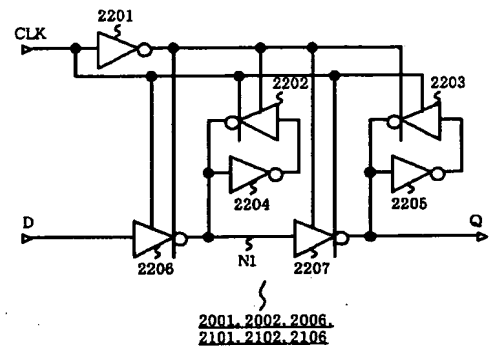
【図 10】



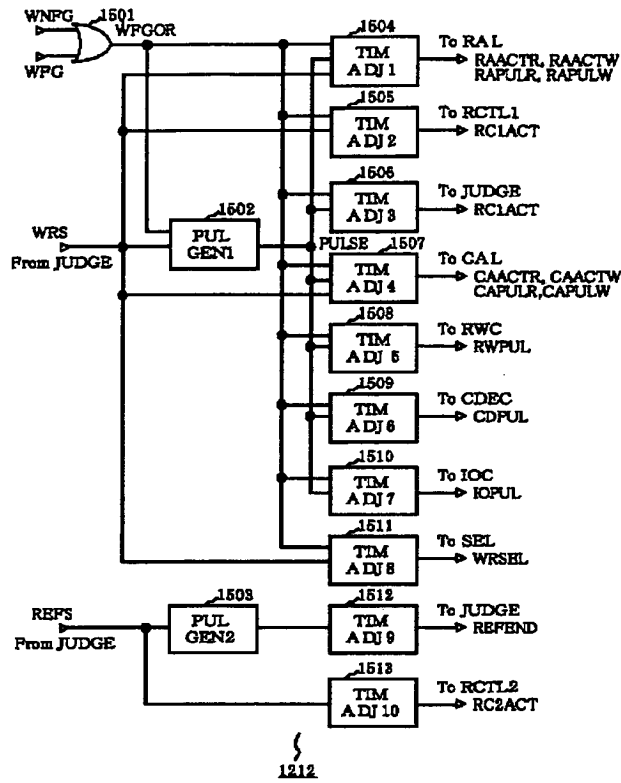
【図 11】



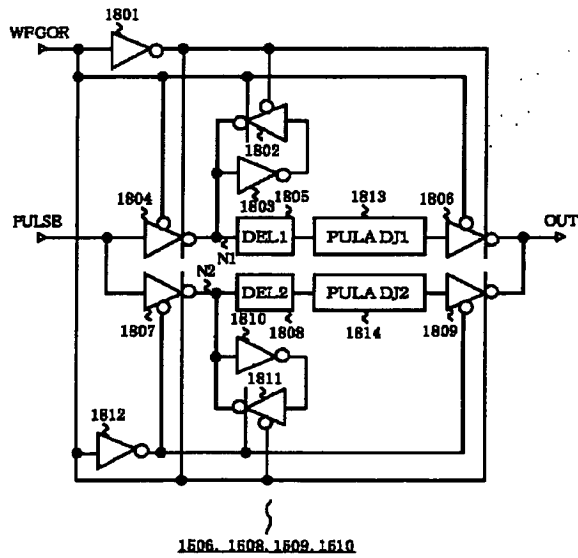
【図 20】



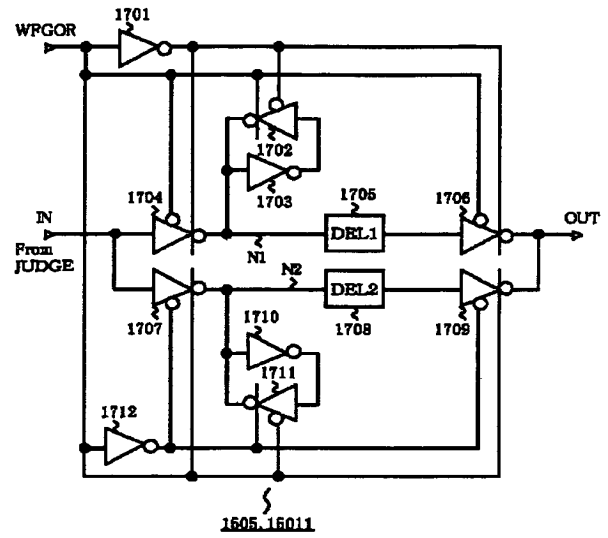
【図13】



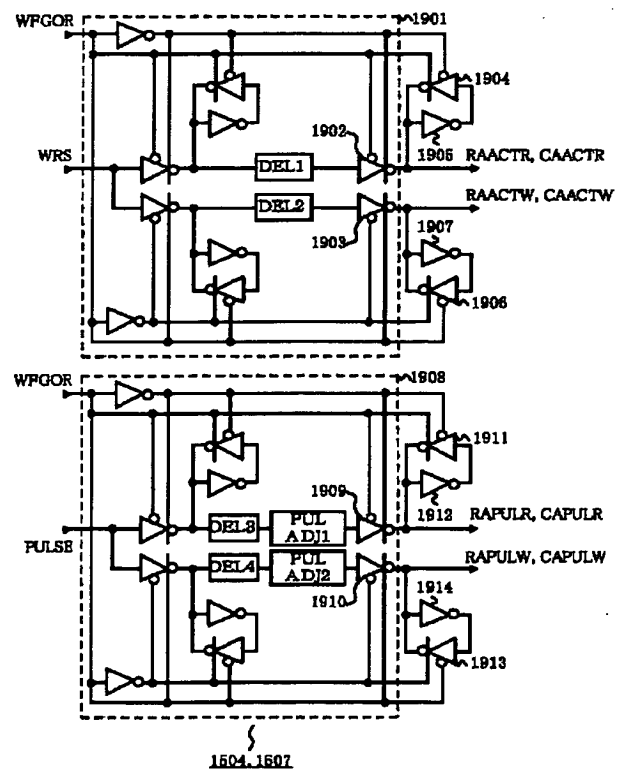
【図16】



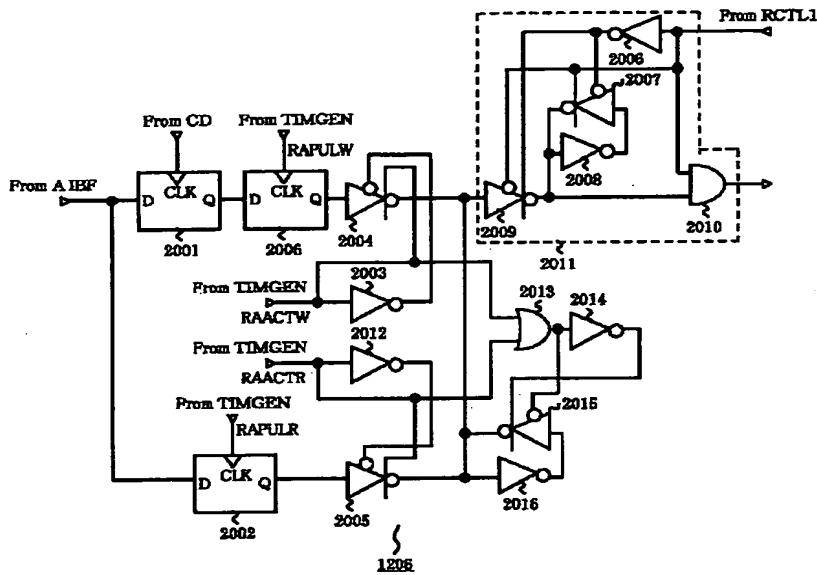
【図15】



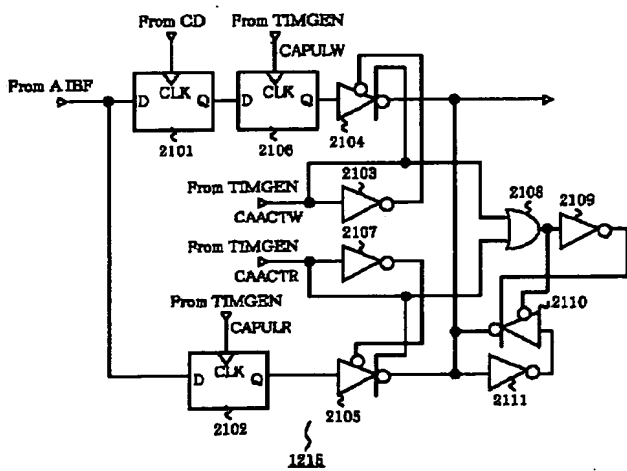
【図17】



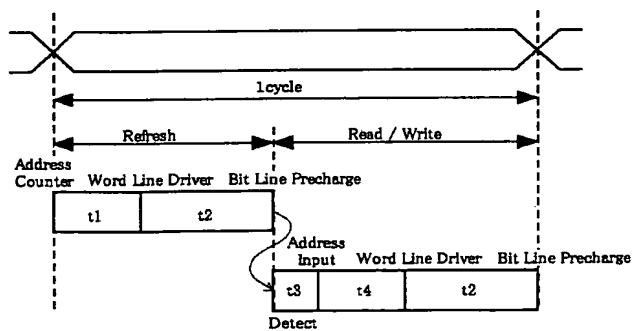
【図 18】



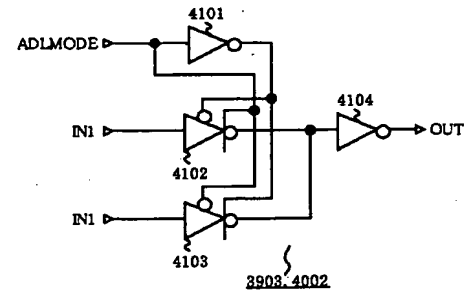
【図 19】



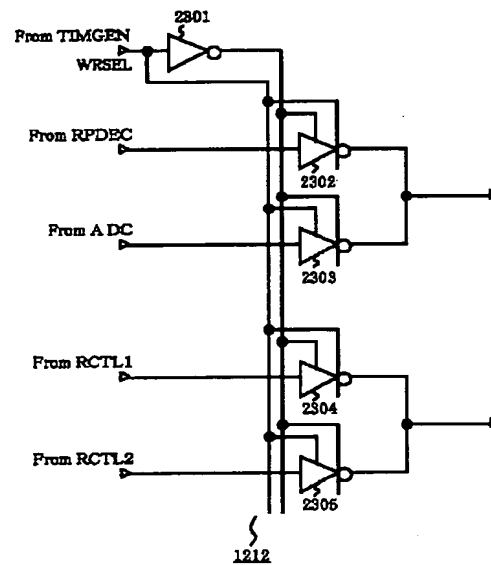
【図 37】



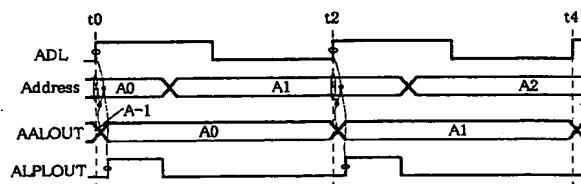
【図 40】



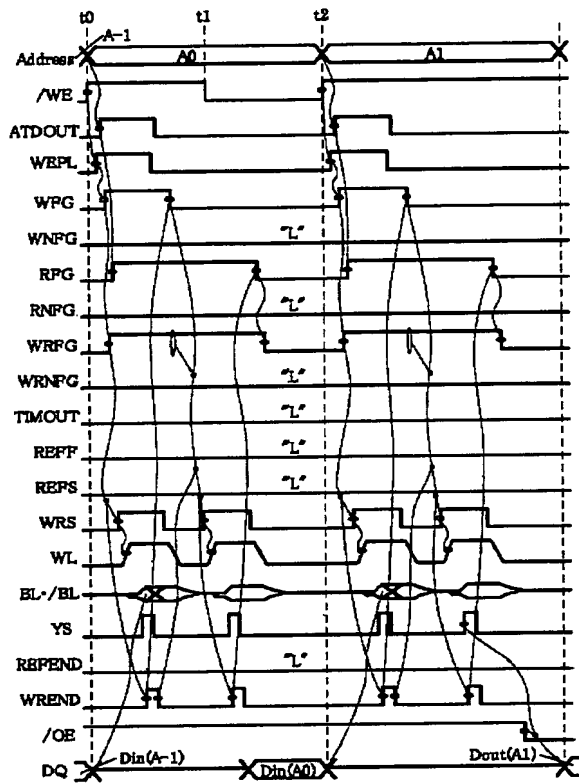
【図 21】



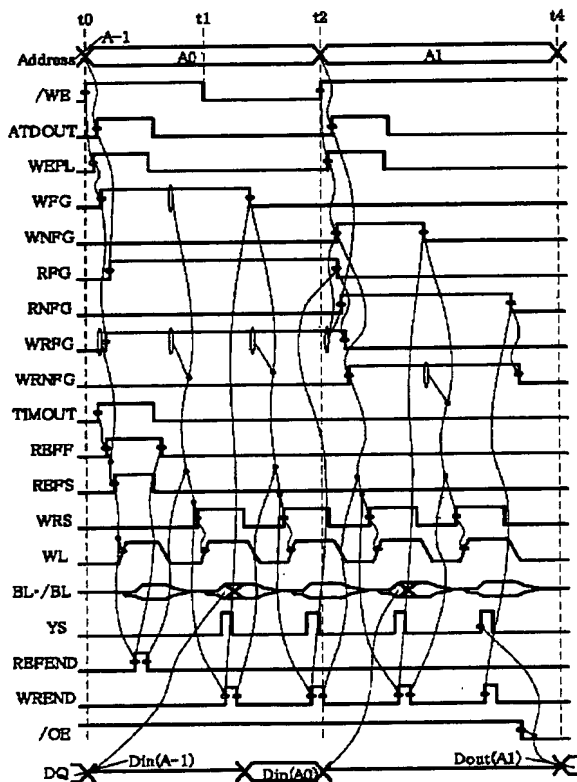
【図 41】



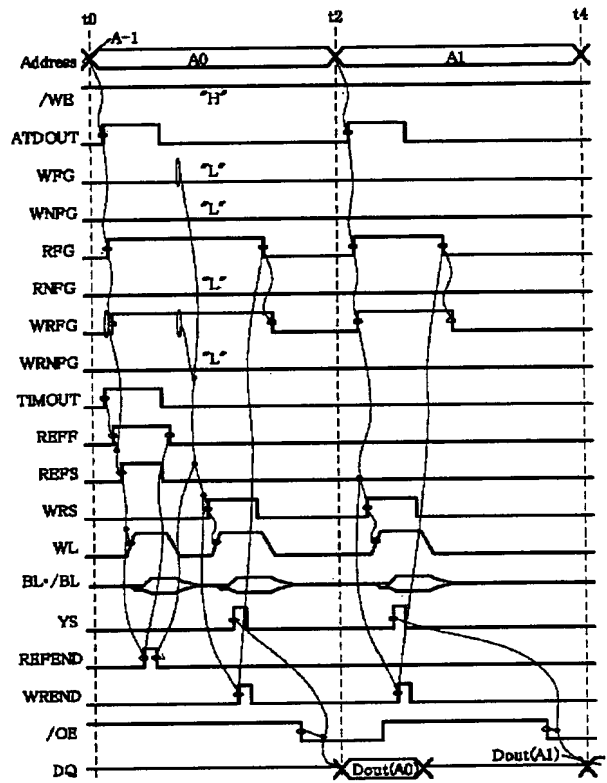
【図 24】



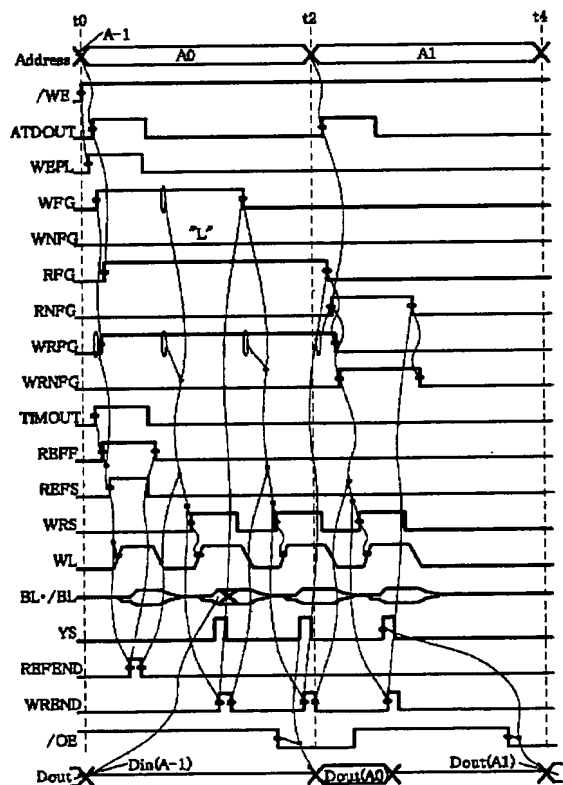
【図 26】



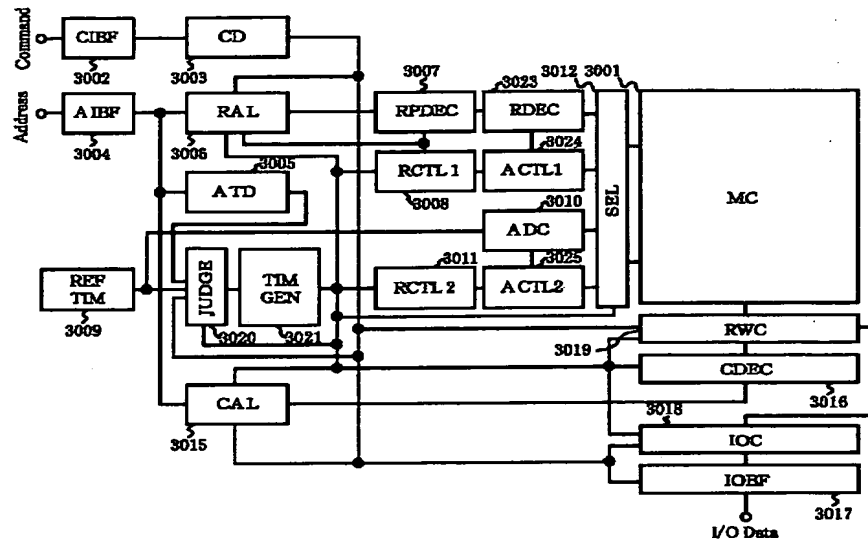
【図 25】



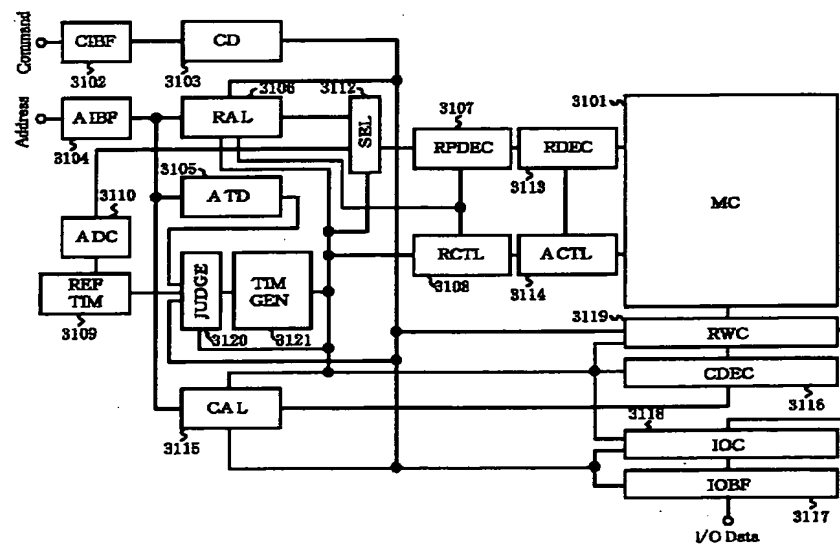
【図 27】



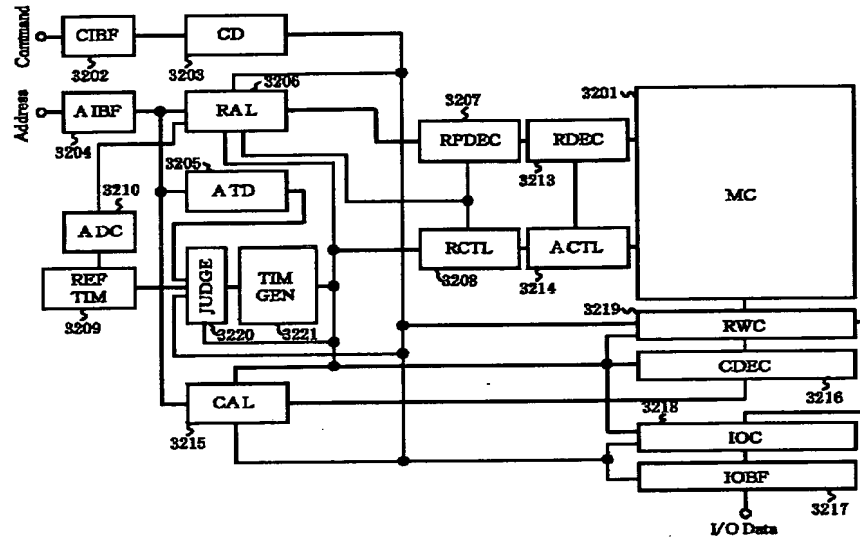
【図 28】



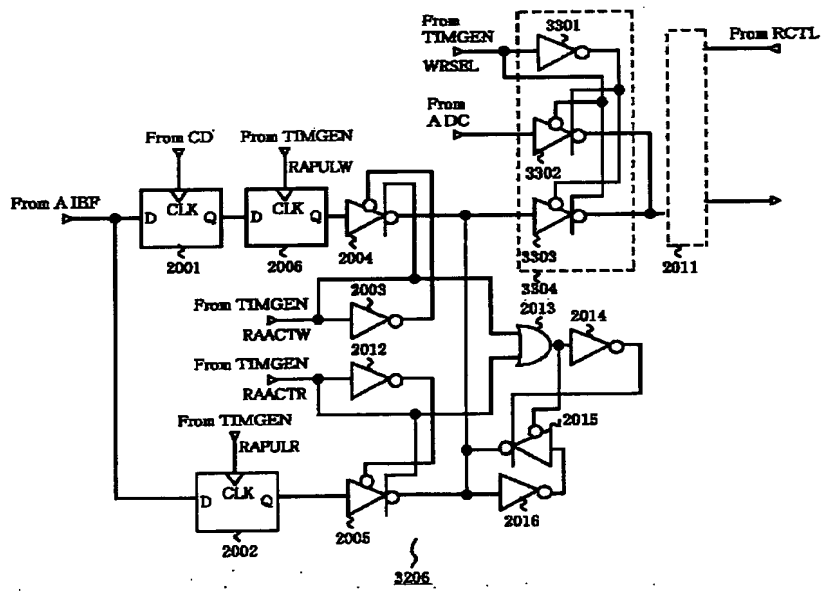
【図 29】



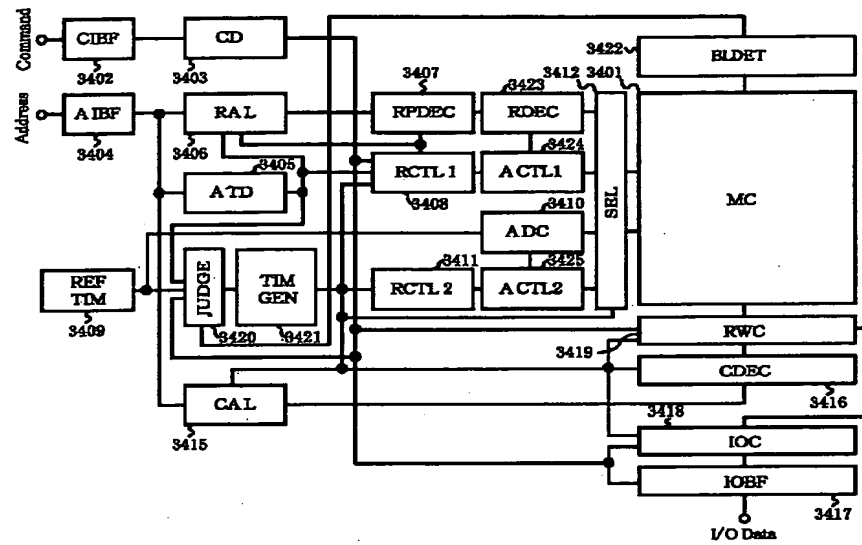
【図 30】



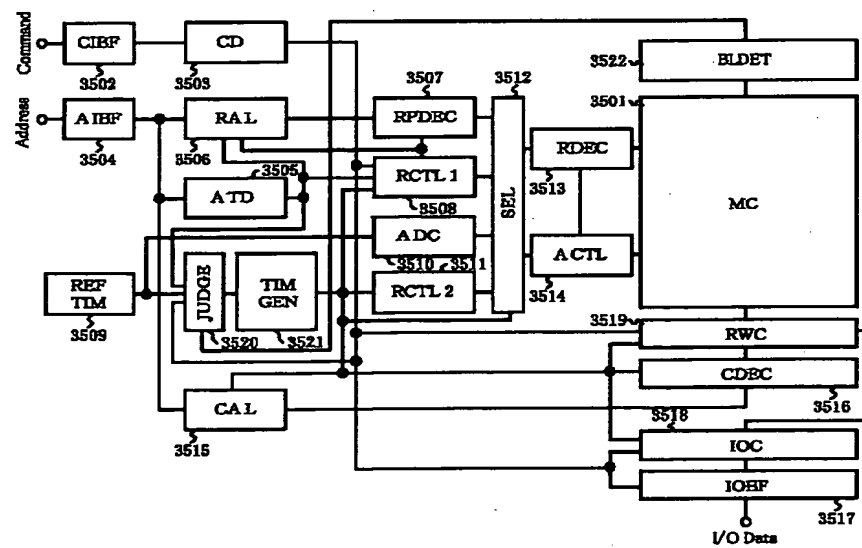
【図 31】



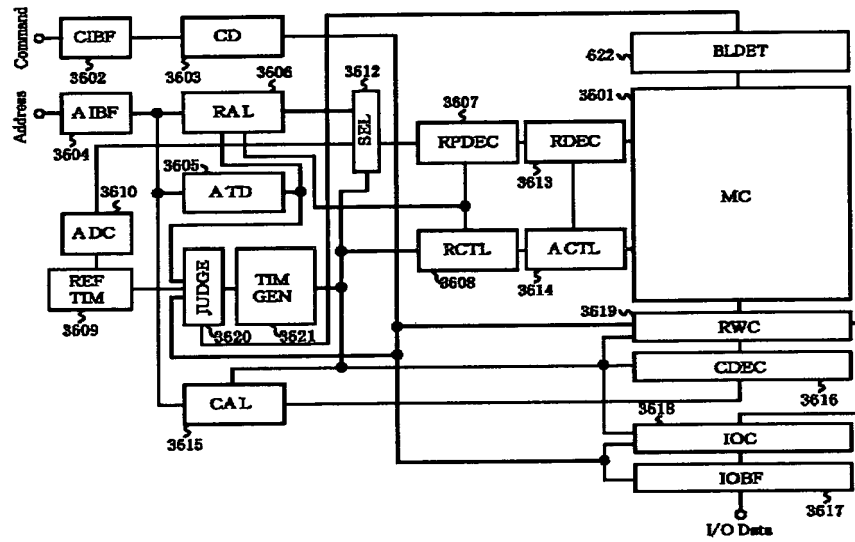
【図 32】



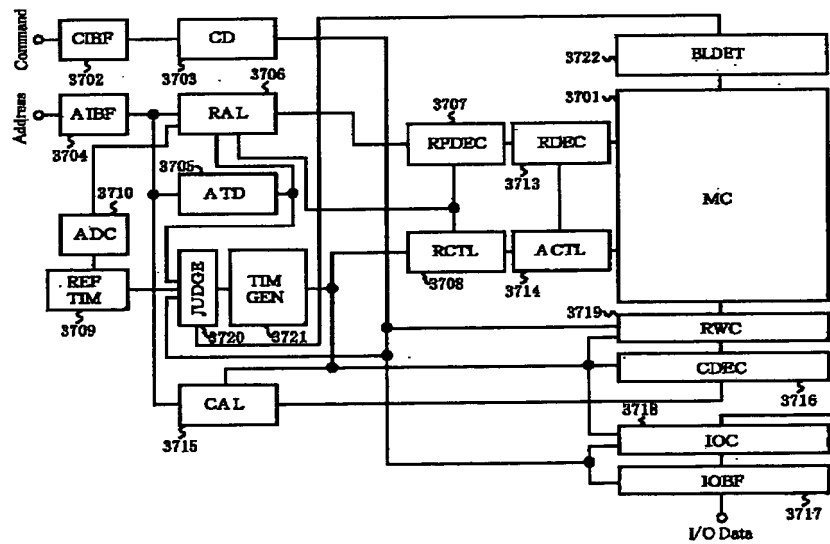
【図 33】



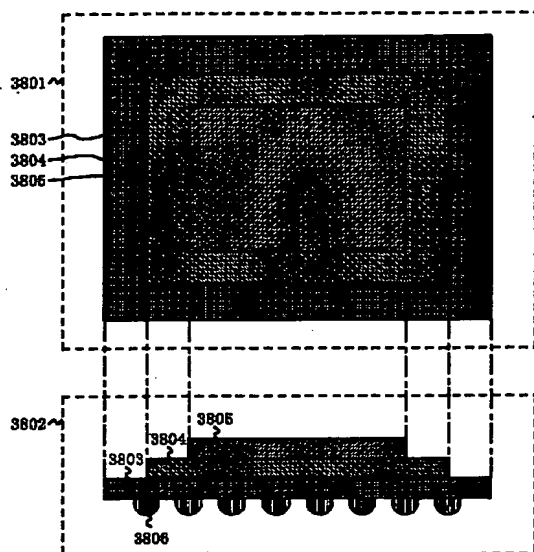
【図34】



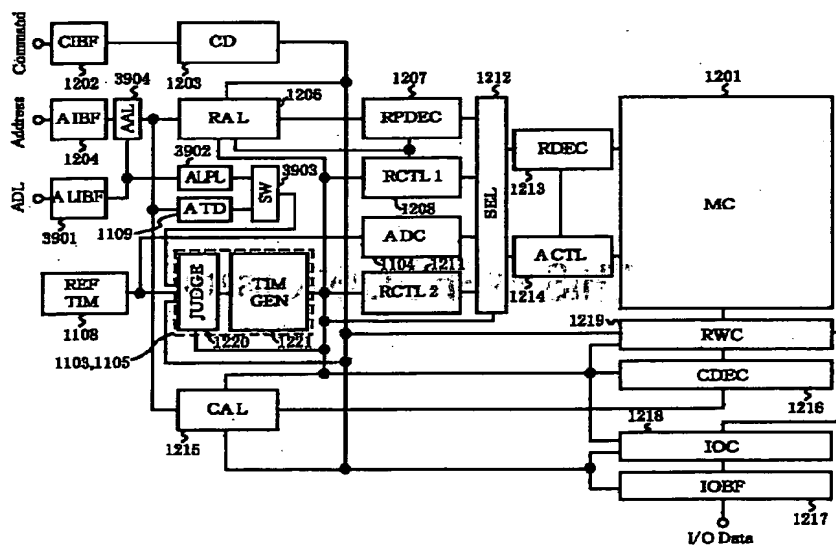
【図35】



【図36】



【図38】



フロントページの続き

(72)発明者 中込 儀延
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内
 (72)発明者 斉藤 良和
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

Fターム(参考) 5M024 AA50 BB15 BB22 BB27 BB35
 BB36 BB39 CC50 CC62 DD83
 DD85 DD88 DD90 DD92 EE05
 EE10 EE29 EE30 GG01 JJ02
 PP01 PP02 PP07

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)